

Oulun yliopisto
Sähkötekniikan osasto
Digitaalitekniikka II
Tentti 22.11.2013

1. Suunnittele synkroninen sekvenssipiiri, joka jakaa nousevalla reunalla aktiivisen kellosignaalin CLK taajuuden kolmella ja asettaa jaetun kellosignaalin lähtönsä DIV. Nousevien reunojen tulee siis esiintyä signaalissa DIV kolmasosalla signaalin CLK taajuudesta. Piirillä on *synkroninen* alustustulo SRST, joka asettaa piirin alkutilaan, jossa DIV-lähtö on tilassa 0 ja josta se nousee tilaan 1 ensimmäisellä alustuksen jälkeisellä kellosignaalin CLK nousevalla reunalla. Piiri tulee suunnitella niin, että sen kellotaajuus voi olla mahdollisimman suuri. Käytettävissä on 2-tuloisia NAND-portteja ja nousevalla reunalla aktiivisia D-kiikkuja, joilla on seuraavat tulot/lähdöt: CLK (kellotulo), R (asynkroninen nollaustulo), S (asynkroninen asetustulo), Q (lähtö), QN (komplementoitu lähtö).
 - a) Esitä piirin piirikaavio, ja selosta lyhyesti piirin toimintaperiaate.
 - b) Mikä on piirin maksimikellotaajuus, kun tiedetään, että NAND-porttien etenemisviive kytkennässä on 3 ns, D-kiikkujen etenemisviive on 4 ns, D-kiikkujen asettumisaikavaatimus on 2 ns ja D-kiikkujen pitoaikavaatimus on 1 ns (perustele vastaus)?
 - c) Kuinka suuri piirin sisäinen kellopoikkeama (clock skew) voi korkeintaan olla, jotta piiri toimii oikein (perustele vastaus)?

2. a) Kirjoita RTL-synteesissä pelkästään kombinaatiologiikkakomponenteilla toteutettavissa oleva SystemVerilog- tai VHDL-kielinen malli 5-tuloiselle multipleksaajille, jonka kaikki 5 datatuloa ja datalähtö ovat 8-bittisiä.
 - b) Suunnittelija oli suunnitellut tilakoneen RTL-tasoinen mallin ja toteuttanut sen kovonkuvauskielellä. RTL-mallin simuloinnissa tilakoneen lähdönkoodauslogiikka tuotti kuvassa 1 näkyvän aaltomuodon lähtöön OE(RTL). Simuloidessaan RTL-mallista syntetisoitua porttitason mallia suunnittelija havaitsi saman lähdön aaltomuodossa OE(PORTTITASO) kuvassa näkyvän poikkeavuuden. Formaali ekvivalenssintarkistusuohjelma ilmoitti kuitenkin RTL- ja porttitason mallien olevan loogisesti identtisiä. Mistä OE-lähdön erilainen toiminta todennäköisesti johtui?

3. a) Selosta sanallisesti tai esittämällä SystemVerilog-/VHDL-malli, kuinka RTL-tason kuvauksessa voidaan ilmaista se, syntyikö kahden 8-bittisen kahdenkomplementtimuotoisen etumerkillisen binääriluvun yhteenlaskussa ylivuoto. Yhteenlasku on kuvattu signed-tyyppisten bittivektoreiden yhteenlaskuna + - operaattorilla.
 - b) Käytettävissäsi on RTL-tason komponenttikirjasto, joka sisältää bittimäärältään parametrisoituja 2-tuloisia kombinaatiologiikkaan perustuvia summaimia ja kertojia. Piirrä näitä komponentteja käyttäen RTL-tason lohko-kaavio piirille, joka toteuttaa laskutoimituksen $Z = (A*B) + (C*D) + E$, missä A,B,C,D ja E ovat piirin 8-bittisiä tuloja, joissa tieto esitetään etumerkillisinä kahdenkomplementtimuotoisina binäärilukuina, ja Z

on piirin kahdenkomplementtimuotoinen lähtö. Piiri on suunniteltava niin, että laskennassa ei synny ylivuotoja. Esitä lohko-kaaviossa komponenttien tulojen ja lähtöjen sekä lähdön Z bittimäärät.

4. Suunnittele kuvassa 2.a esitetyn muistiohjaimen ohjausosa (lohko CONTRTOL), jonka avulla kuvan 2.b ROM-muisti voidaan liittää 100 MHz kellotaajuudella toimivaan synkroniseen logiikkapiiriin, joka kytketään muistiohjaimen vasemmanpuoleisiin liityntöihin.

Kuvat 2.c ja 2.d. esittävät käytettävän ROM-muistin ajoitusvaatimuksia. Kuvassa 2.c tulot CS ja OE ovat tilassa 0, ja kuvassa 2.d tulo ADDRESS on jo asettunut tulojen CS ja OE muuttuessa (tulosta CS käytetään joskus myös nimeä CE). Muistin ajoitusparametrit ovat seuraavat: $T_{AA} = 50$ ns, $T_{CYCLE} = 50$ ns, $T_{OH} = 0$ ns, $T_{ACS} = 50$ ns, $T_{AOE} = 25$ ns, T_{LZ1} ja $T_{LZ2} = 5$ ns, sekä T_{HZ1} ja $T_{HZ2} = 10$ ns.

Synkroninen logiikkapiiri liittyy muistiohjaimeen kuvassa 2.a vasemmalla puolella olevilla signaaleilla, joiden merkitys on seuraava:

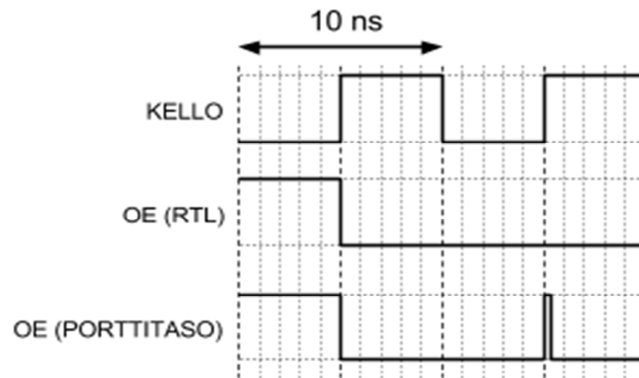
- DATA[7:0] on muistiliitynnän dataväylä
- ADDRESS[9:0] on muistiliitynnän osoiteväylä
- START on signaali, joka on tilassa 1 kellosignaalin CLK nousevan reunan aikana silloin, kun logiikkapiiri käynnistää luvun ROM-muistista ja se on asettanut osoitteen väylälle ADDRESS.
- READY on signaali, joka on tilassa 1 kellosignaalin CLK nousevan reunan aikaan silloin, kun luku muistista on päättynyt ja ROM-muistista haettu tavu on talletettu ohjaimen rekisteriin REG8. Muistin luvun ollessa käynnissä READY on tilassa 0.

Muistiohjaimen ohjausosa CONTROL sallii rekisterin REG8 latauksen asettamalla signaalin LOAD tilaan 1 kellosignaalin CLK nousevan reunan ajaksi. Lohkosta CONTROL ROM-muistiin kytkettävien signaalien lukumäärä ei kuvassa välttämättä vastaa todellista.

a) Kopioi kuva 2.a vastauspaperiisi, lisää siihen kuvassa 2.b esitetty ROM-muistikomponentti, ja piirrä kuvaan muistiohjaimen ja muistin väliset kytkennät. Voit valita muistille joko kuvan 2.c (käytetään vain ADDRESS-tuloa) tai 2.d (käytetään kaikkia tuloja) mukaisen ohjaustavan, ja luoda kytkennät tämän käyttötavan vaatimalla tavalla.

b) Esitä muistiohjaimen ohjausosan CONTROL toiminta ASM-kaaviolla tilanteessa, jossa se toimii osana laatimaasi kytkentää. Perustele ratkaisusi.

c) Esitä RTL-synteesiohjelmalla toteutettavaksi sopiva SystemVerilog- tai VHDL-kielinen kuvaus reuna-aktiivisella, muun järjestelmän kanssa synkronisella kellosignaaliilla CLK toimivalle 8-bittiselle rekisterille REG8, jolla on latauksensallintatulo LOAD. Piirin asynkroninen nollaustulo on nimeltään RST_N.



Kuva 1

Kuva 2

