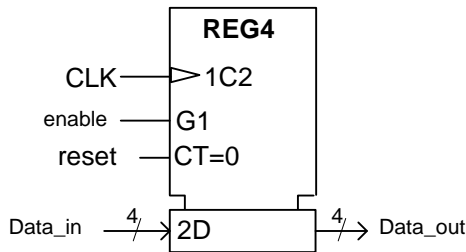


Tentti: 8.3.2013

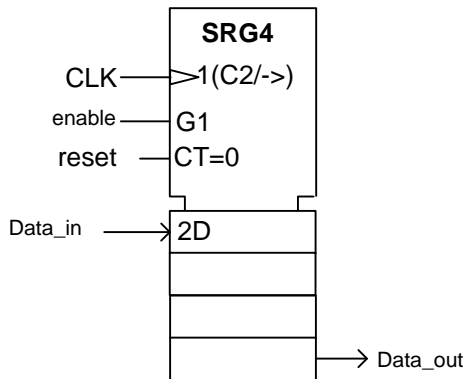
Tehtävä 1

Piirrä alla kuvatut RTL-tason symbolit D-kiikkujen ja kombinaatiologiikkalohkojen (X/Y) avulla esitettynä.

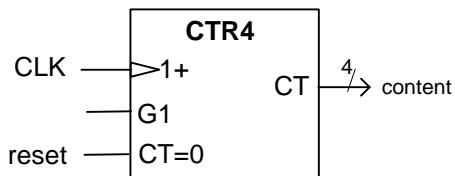
a)



b)



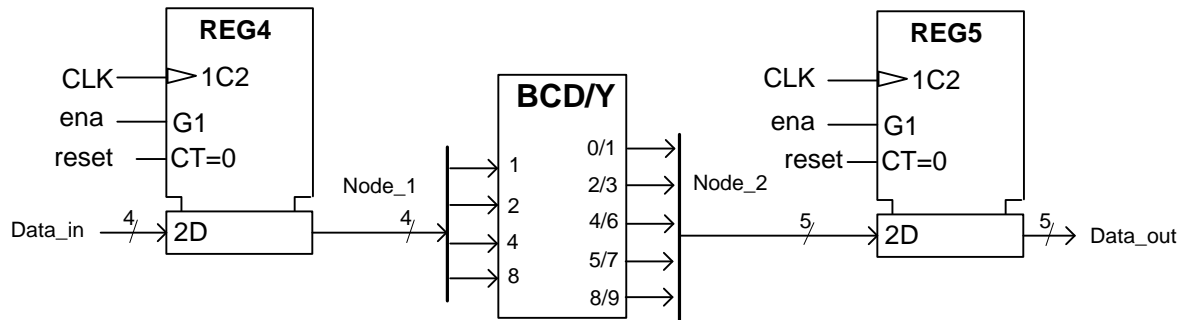
c)



Kuva 1 Riippuvuusmerkintästandardin mukaisesti piirrettyjä RTL-tason logiikkasynboleja.

Tehtävä 2

- a) Kirjoita kuvan 2 datapolkua vastaava VHDL-malli.
- b) Arvioi datapolun looginen monimutkaisuus ekvivalenttiportteina.



Kuva 2 RTL-tason datapolkuesimerkki.

Tentti: 8.3.2013**Tehtävä 3**

Oleta binäriluvut $A = 100101$ ja $B = 11001$.

- a) Laske käsin paperille mod-2 aritmetiikkaa noudattaen $Y = A \times B$ ja $X = Y/B$ nollija ja ykkösiä käyttäen.
- b) Tee samat laskutoimitukset polynomiesitysmuotoa käyttäen.
- c) Piirrä vakiolla 11001 kertovan mod-2 kertojen RTL arkkitehtuuri.
- d) Mikä on suunnitelmasi kriittinen ajoituspolku (*critical timing path*) ja suurin synkroninen kellotaajuus millä logiikkaa voidaan ajaa. ($F = 32$ nm, $FO4 = 15$ ps. Oleta, että ekvivalenttiportin viive on $1.5 FO4$).

Tentti: 8.3.2013
Tehtävä 4

Kuvan 3 arkkitehtuurikaaviota voidaan käyttää toteuttamaan kumulatiivisen summan

$$S = \sum_{i=0}^{i=k-1} a_i$$

laskeminen. Oleta, että $k = 200$ ja numerot \mathbf{a}_i ovat etumerkillisiä **kokonaislukuja** (signed) lukualueessa välillä $-512 \dots +511$.

- Määritä parametrien $r, n, m, x1, x2, p$ ja q arvot.
- Täydennä kuvan 2 RTL-arkkitehtuurikaavio määrittämälläsi lukuarvoilla ja muilla tarvittavilla lisäyksillä.
- Miten parametrit ja arkkitehtuuri muuttuisivat, jos luvut \mathbf{a}_i olisivat kahden etumerkillisen (signed) 8-bitin binäärivektorin avulla esitettyjä **kompleksilukuja**.

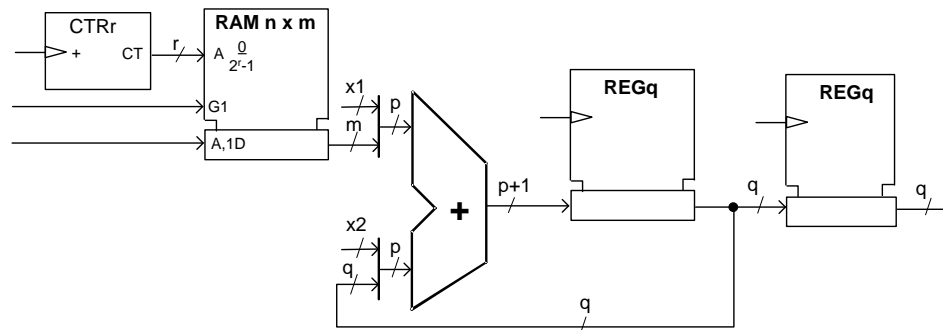


Fig. 3 RTL arkkitehtuuri ”template” kumulatiivisen summan laskemista avrten.