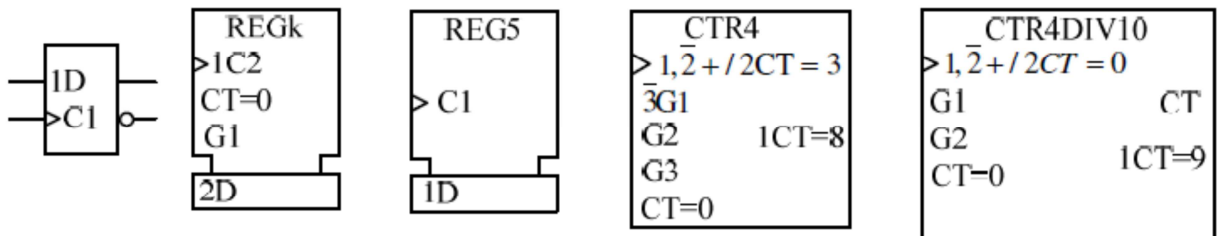


Tentti: 8.4.2011

Tehtävä 1

Suunnittele digitaalilogiikka, joka määrittää loogisen tulosignaalin INPUT jaksonajan ja tallettaa määritetyn jaksonajan etumerkittömänä binäärilukuna rekisteriin signaalin INPUT jakson tahtiin. Signaali INPUT on asynkroninen (tahdistamaton) pääkellosignaalin CLK suhteen, ja signaalin INPUT pulssisuhde on noin 50/50, eli signaali on kanttiaaltoa. Käytössäsi on CTRnDIVm-laskuri, jossa on kellotulon lisäksi synkroninen alustustulo, ja k-bittinen rekisteri REGk, jossa on latauksensallintatulo. Lisäksi voit käyttää kuvan mukaisia D-kiikkuja, joissa on sekä ei-invertoitu että invertoitu lähtö, ja yhden muun 2-tuloisen logiikkaportin (AND, OR, NAND, NOR, XOR, XNOR). Käytä logiikkasymboleille oheisten esimerkkien kaltaisia merkintöjä.

- Miten varmistat, että signaalin INPUT asynkronisuus ei aiheuta toiminnan epävarmuutta?
- Esitä logiikan RTL-tason kuvaus.
- Esitä toiminnan ajoituskaavio/pöytäsimulointi, kun signaalin INPUT jaksonaika on neljä pääkellon CLK jaksoa. Esitä ajoituskaaviossa ainakin signaalit CLK, INPUT, laskurin lähtö, rekisterin lähtö, laskurin sallintasignaali ja rekisterin sallintasignaali. Ajoituskaavion on oltava vähintään 10 CLK:n jaksoa.
- Määritä parametrit m, n ja k, sekä pääkellon taajuus fCLK, kun signaalin INPUT jaksonaika pitää pystyä määrittämään 10 mikrosekunnin erottelutarkkuudella, ja signaalin INPUT maksimi jaksonaika voi olla 1 sekunti.



**Tentti: 8.4.2011**

**Tehtävä 2**

Tehtävänä suunnitella digilogiikka, joka kertoo 6-bitin binääriluvun vakiolla  $X = 0,76510 = 0.1100012$ . Laskentalogiikka voidaan toteuttaa normaalin 6-bitin kertojan sijasta kadella summaimella.

- a) Piirrä kahden summaimen muodostama arkkitehtuuri, joka suoriutuu annetusta tehtävästä. Piirrä yhteenlaskettavien lukujen bittitarkka kytkentä summaimille. Summaimien sisäistä rakennetta ei tarvitse esittää.
- b) Montako täyssummainta (FA = Full Adder) tarvitaan summaimien toteuttamiseen.

**Tehtävä 3**

- a) Luettele digilogiikan synkronisuuden tunnusmerkit.
- b) Mitä ominaisuuksia digilogiikan suunnitelmasta (arkkitehtuurikaavio, VHDL malli) pitää löytyä, jotta sen voitaisiin sanoa olevan rekisterisiirtotasolla (RTL = *Register Transfer Level*)?
- c) Mitä CMOS-teknologialla toteutetun integroidun piirin piirikuvioinnin viivanleveydellä tarkoitetaan?
- d) Mitä integroidun digitaalipiirin piipinta-alan arvioinnissa käytetty *Cell Factor* –tarkoittaa?
- e) Selitä minkälainen FPGA-piirin hakutaulukko on **loogiselta** rakenteeltaan?

**Tentti: 8.4.2011**

**Tehtävä 4**

Alla olevaan listaukseen on otettu laajemmasta VHDL-mallista kaksi VHDL-prosessia, jotka kuvaavat tilakoneen toimintaa.

- a) Laadi mallin perusteella tilakoneen **tilakaavio** ja piirrä tilakoneen **RTL-arkkitehtuuri**.
- b) Selvitä onko tilkone **Moore-** vai **Mealy-**tyyppinen. Perustele valintasi.

```

C2_State_machines_sync:process
(clk, reset,next_state_of_C2) is
begin
  if reset = '0' then
    state_of_C2 <= idle;
  elsif clk = '1' and clk'event
  then
    state_of_C2 <= next_state_of_C2;
  end if;
end process;
--
Pulse_Synchronization_State_Machine_C2:
process (state_of_C2,button,delay_off) is
begin
  case state_of_C2 is
    when idle =>
      if button = '1'
        then next_state_of_C2 <= enable_pulse;
        else next_state_of_C2 <= idle;
      end if;
      pulse <= '0';
      delay_on <= '0';
    when enable_pulse =>
      next_state_of_C2 <= waiting;
      pulse <= '1';
      delay_on<='0';
    when waiting =>
      if button = '0'
        then next_state_of_C2 <= extra_waiting;
        else next_state_of_C2 <= waiting;
      end if;
      pulse <= '0';
      delay_on <= '0';
    when extra_waiting =>
      if delay_off = '1'
        then next_state_of_C2 <= idle;
        else next_state_of_C2 <= extra_waiting;
      end if;
      pulse <= '0';
      delay_on <= '1';
  end case;
end process;

```