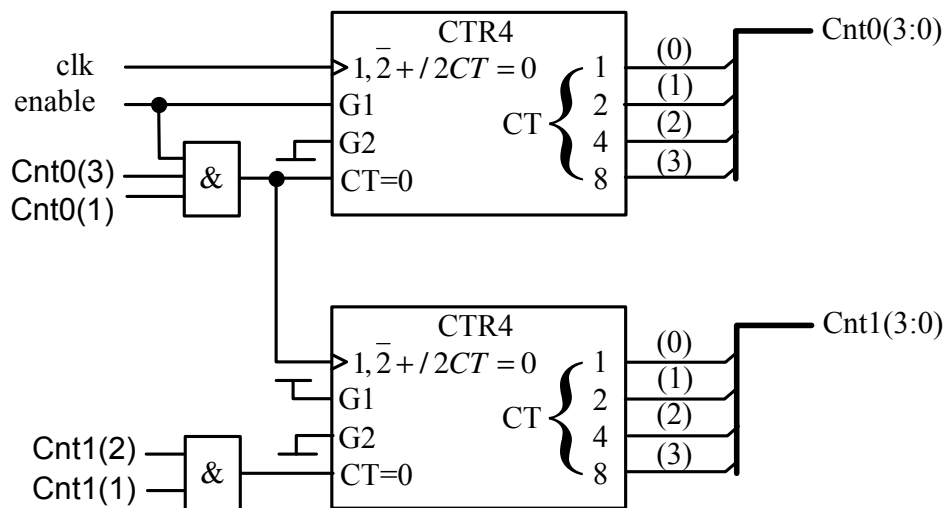


Tentti: 15.1.2010

Tehtävä 1

- a) mitä kuvan 1 digitaalilogiikassa on tehty väärin?
 b) piirrä kuvan 1 logiikan ajoituskaavio kahdentoista kellojakson ajalta. Signaali enable on looginen ykkönen. Kiikut on alustettu tilaan nolla.
 c) korjaa logiikan virheet noudattaen hyviä suunnittelusääntöjä. Korvaa merkinnät CTR4 laskurien toimintaa paremmin kuvaavilla merkinnöillä. Korvaa AND-portit laskurien sisälle koodatuilla lähtösignaaleilla. Lisää tulosignaali, jolla logiikka voidaan resetoita asynkronisesti.
 d) kuinka monta kiikkua tarvitaan optimoidussa logiikassa. Perustele!
 e) piirrä korjatun logiikan ajoituskaavio kahdentoista kellojakson ajalta. Signaali enable on looginen ykkönen. Kiikut on alustettu tilaan nolla.

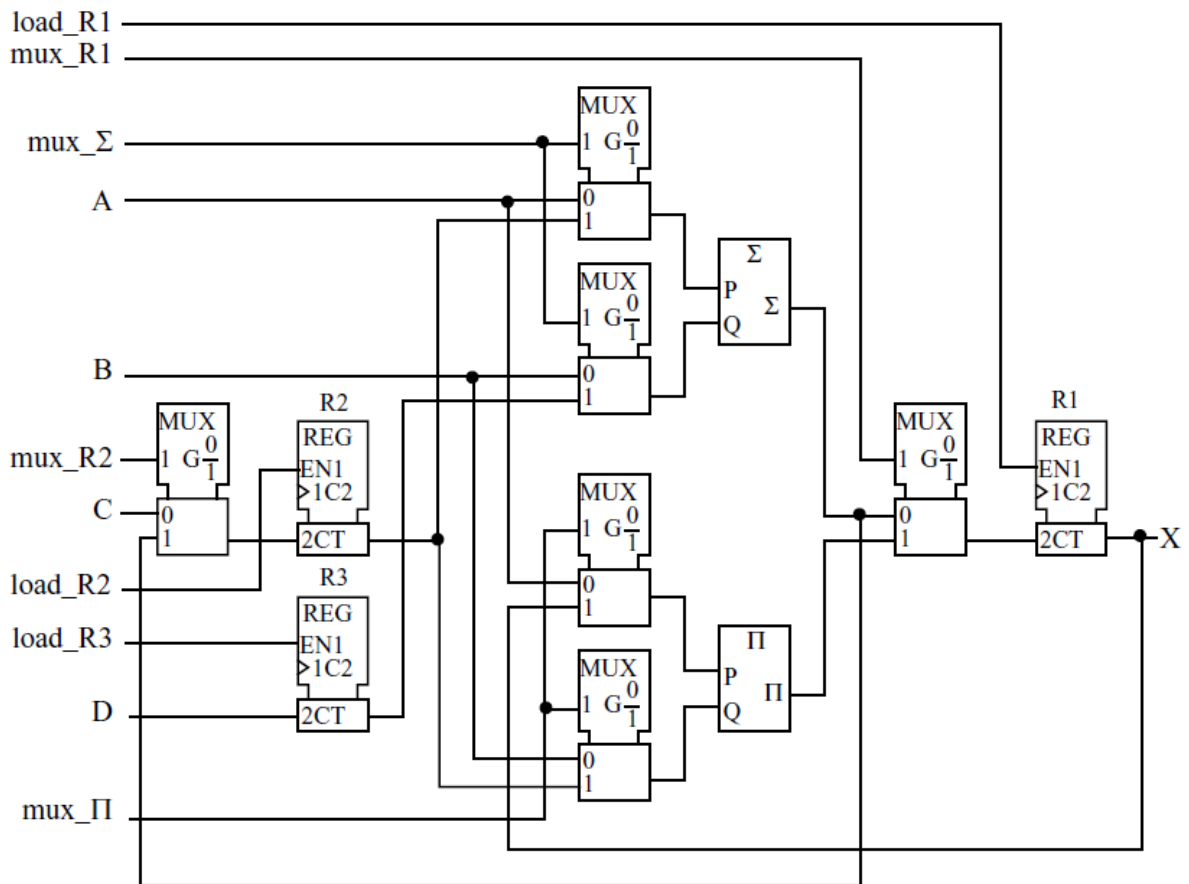


Kuva 1. Epäilyttävä logiikka.

Tentti: 15.1.2010

Tehtävä 2

Minkä laskenta-algoritmin X kuvan 2 logiikka-arkkitehtuuri suorittaa taulukon 1 mukaisilla ohjausvektoreilla (d = don't care)? Täydennä taulukkoon eri ohjausaskelilla suoritettavat operaatiot (esim. $H+I \rightarrow R_n$, $J \rightarrow R_m$, $R_n * R_m \rightarrow R_o$ jne., missä merkinnän \rightarrow vasemmalla puolella on rekisteriin $R?$ tallennettava operaatio tai signaali). Synkroniset tulot A, B, C ja D ovat luettavissa yhden kellojaksos ajan ohjausaskeleella C0. Kaikkia rekistereitä kellotetaan yhteisellä kellosignaaliilla, jota ei ole piirretty kuvaan! Ohjausaskelet (C0, C1, C2) etenevät kellon tahdissa.



Kuva 2.

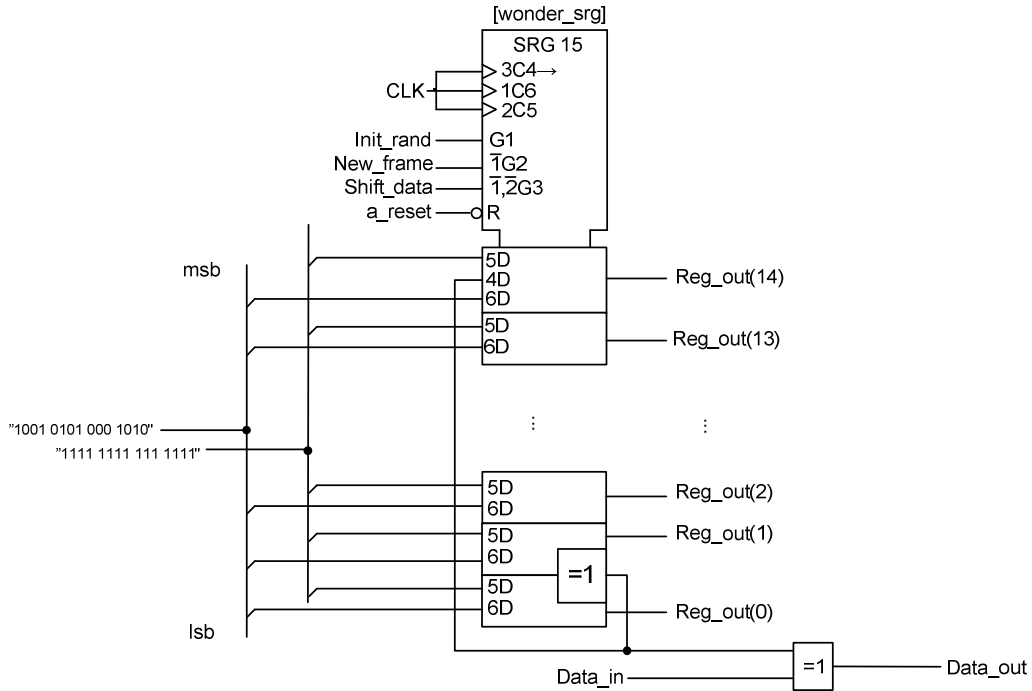
Taulukko 1:

Ohjaus-askel	load_R1	load_R2	load_R3	mux_R1	mux_R2	mux_Sigma	mux_Pi	Operaatiot
C0	1	1	1	0	0	0	d	
C1	0	1	d	d	1	1	d	
C2	1	d	d	1	d	d	1	

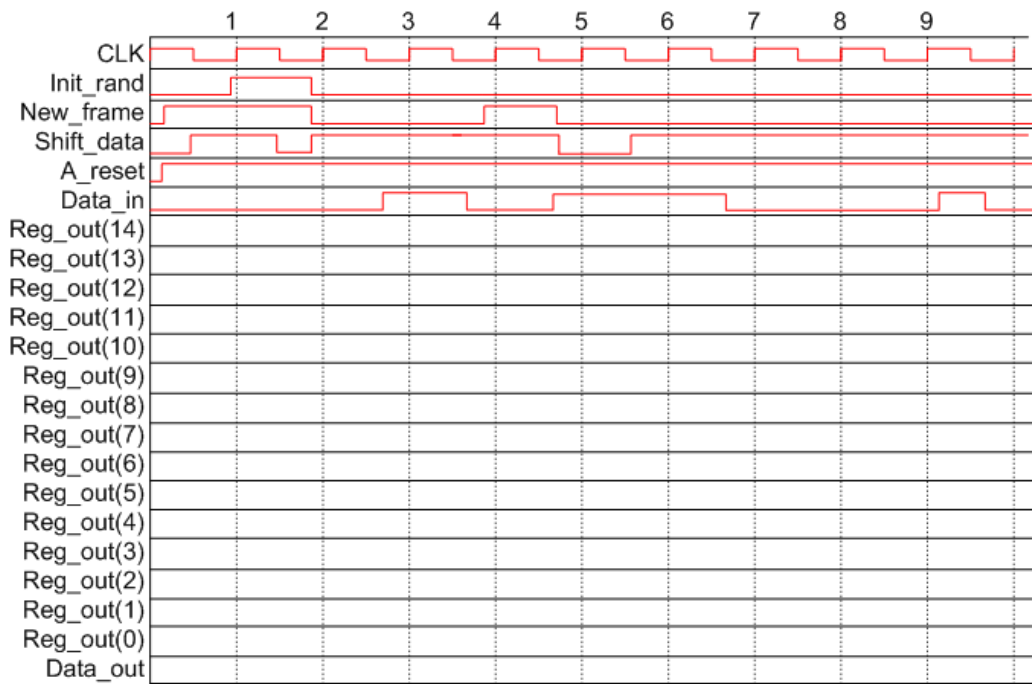
Tentti: 15.1.2010

Tehtävä 3

- a) Simuloi kuvan 3 ihme-rekisterin käyttäytyminen 9 kellojakson ajan taulukossa 2.
- b) Kerro mitä ihme-rekisterin ohjausosan merkinnät tarkoittavat.



Kuva 3. RT-tason kuvaus ihme-rekisteristä.

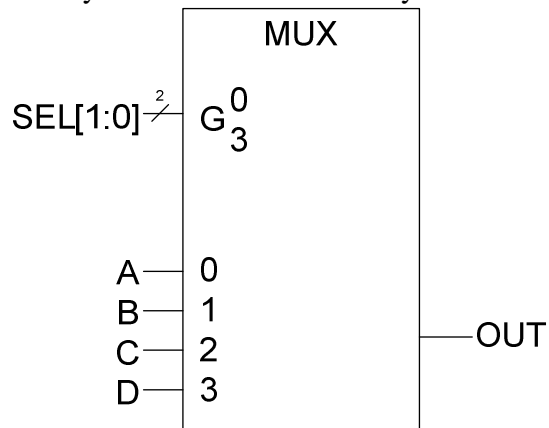


Taulukko 2. Ajoituskaavio ihme-rekisterille

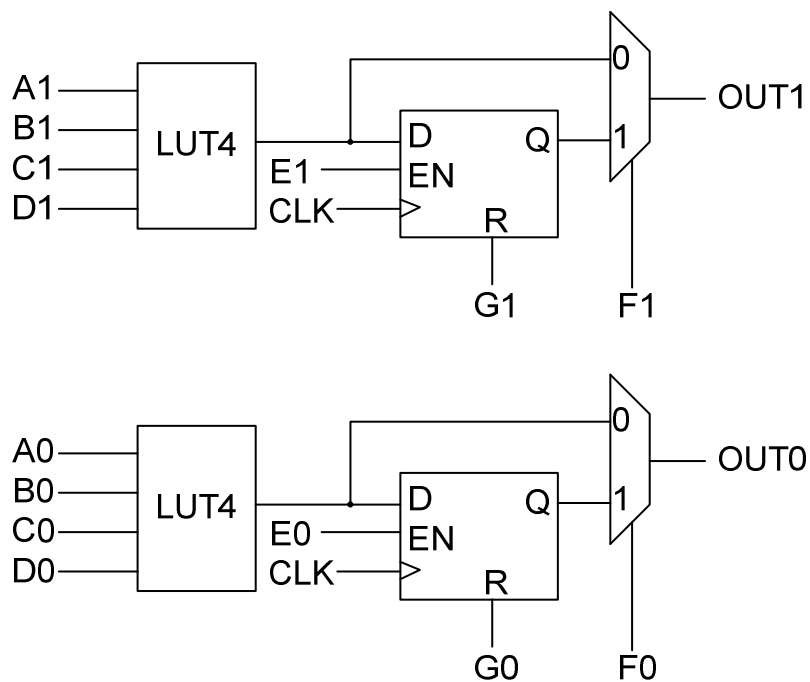
Tentti: 15.1.2010

Tehtävä 4

Konfiguroi kuvan 4, 1-bittisen 4-in-1 MUX:in toiminta FPGA:han. Käytä tarvitsemasi määrä kuvan 5 geneerisiä logiikka-elementtejä. Kerro yksiselitteisesti kaikki liittynät.



Kuva 4. 1-bittinen 4-in-1 multiplexer.



Kuva 5. Kaksi geneeristä FPGA:n logiikkaelementtiä.