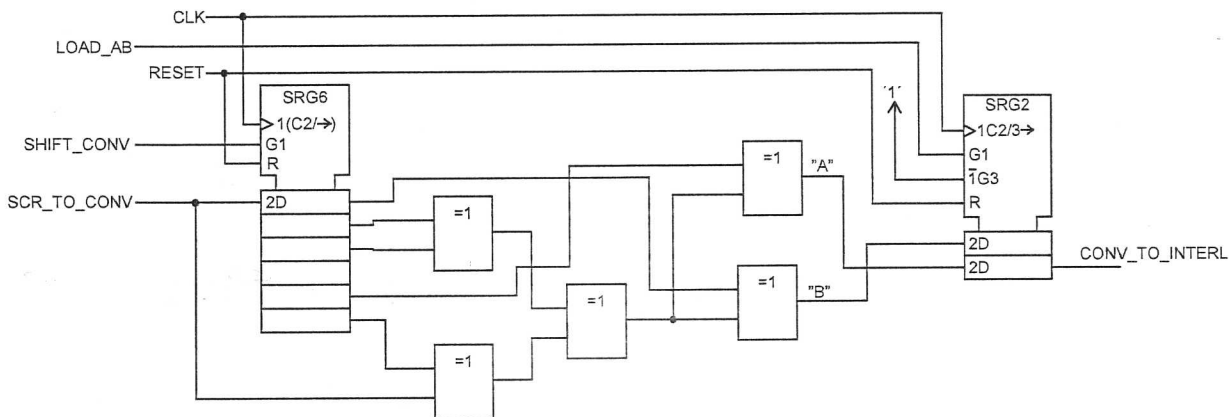




Tehtävä 3

- Arvioi oheisen RTL-arkkitehtuurin looginen monimutkaisuus ekvivalenttiportteina. Montako D-kiikkua arkkitehtuurin toteuttamiseen tarvitaan?
- Mikä on logiikan kriittinen polku? Paljonko se on tässä tapauksessa, jos toteutuksessa käytetyn D-kiikun *setup*-aika on 150 ps (pitoaika on nolla) ja D-kiikun etenemisviive 100 ps. Oletetaan, että valmistusteknologian FO4-viive on 35 ps. (FO4 on yhden inverterin etenemisviive silloin, kun se ohjaa neljää samanlaista invertertiä). Paljonko on suurin synkroninen kellotaajuus, jolla arkkitehtuuria voidaan kellottaa? (oletetaan johtimien viiveet nollassa)
- Arvioi logiikan dynaaminen ja staattinen tehonkulutus taajuuden funktiona. Oletetaan, että käyttöjännite on 1 V, logiikkaportin yhden tulopisteen kapasitiivinen kuorma 0,001 pF ja yhden 2-tuloisen NAND-portin keskimääräinen staattinen vuotovirta huoneen lämpötilassa on 100 nA. Miten kriittisestä polusta aiheutuva maksimikellotaajuus kannattaa ottaa huomioon tehonkulutuskuvaajaa piirrettäessä?



Ohje:

$$P = W / T = \alpha f_{clk} N_{ge} \lambda C_g V_{dd}^2 = \alpha f_{clk} V_{dd}^2 C_L$$

- $P$  = teho watteina
- $W$  = energia jouleina
- $V_{dd}$  = logiikan käyttöjännitteen arvo voltteina
- $T$  = kellojakson pituus, aika
- $\alpha$  = kytkentäaktiivisuuskerroin
- $f_{clk} = 1/T =$  kellotaajuus
- $C_L = N_{ge} \lambda C_g =$  solmupisteiden kapasitanssien summa
- $N_{ge} =$  looginen monimutkaisuus ekvivalenttiportteina
- $\lambda C_g =$  yhden signaalipisteen keskimääräinen kapasitanssi
- $\lambda =$  luku, joka ilmoittaa monellako portin tulokapasitanssilla signaalipistettä keskimäärin kuormitetaan
- $C_g =$  portin tulokapasitanssi