

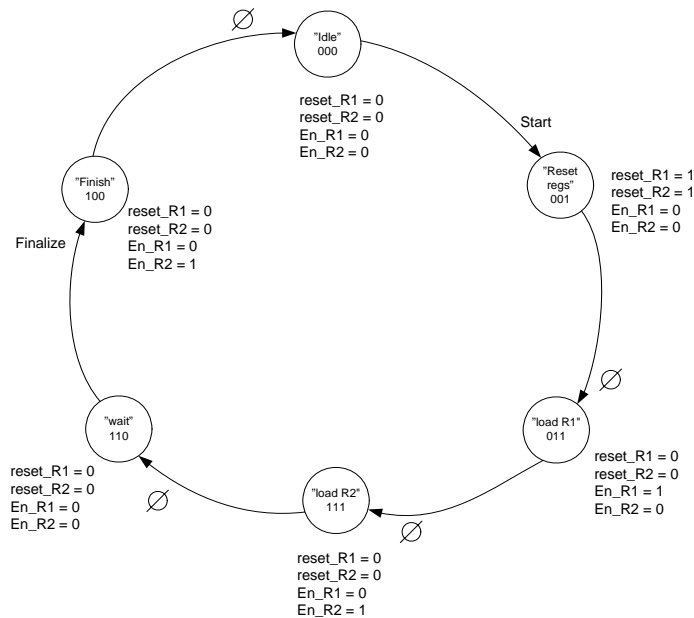
**Tentti: 22.02.2008**

**TEHTÄVÄ 1.**

Oheisessa kuvassa on esitetty erään Moore-tyyppisen tilakoneen tilakaavio. Tilakoneella on tarkoitus ohjata erästä datapolkua. Kuten kuvasta käy ilmi, on tilakoneella kuusi tilaa, kaksi synkronista tulosignaalia sekä neljä synkronista lähtösignaalia. Lisäksi tilakoneella on asynkroninen *reset*-tulo. Kaavioon on merkitty myös 3-bittinen tilojen koodaus. To- teuta kyseinen tilakone käyttäen 16x1 hakutaulukoita, sekä D-kiikkuja. Oleta, että kii- kuissa on asynkroninen *reset*-tulo. Esitä käyttämiesi hakutaulukoiden binääriset sisällöt.

**ASSINGMENT 1**

A state diagram of a Moore-type state machine is seen in the figure below. The state ma- chine is meant to control a data path. According to the figure, the state machine has six states, two synchronous input signal and four synchronous output signals. In addition, the state machine has an asynchronous reset-input. 3-bit state encoding is seen in the state circles. Draw a logic diagram of the state machine using 16x1 look-up-tables and D-flip- flops. Assume that flip-flops have an asynchronous reset-input. List the binary content of the look-up-tables needed to the implementation.



**Tentti: 22.02.2008**

### TEHTÄVÄ 2.

Digilogiikka voi joutua niin sanottuun **metastabiiliin** tilaan. Tässä tehtävässä sinulta kysytään metastabiiliin tilaan liittyviä kysymyksiä.

- a) Selitä lyhyesti mitä metastabiili tila tarkoittaa eli mitkä tunnusmerkit täyttyvät silloin kun logiikan voidaan katsoa olevan metastabiilissa tilassa. Mihin digikomponenttiin metastabiili tila erityisesti liittyy?
- b) Miten ajoitusparametrit asettumisaika (*set-up time*) ja pitoaika (*hold time*) liittyvät metastabiiliin tilaan?
- c) Mitkä ovat ne syyt, jotka johtavat logiikan ajautumiseen metastabiiliin tilaan?
- d) Millä keinoilla ja välineillä metastabiiliin tilaan joutumisen todennäköisyys voidaan todeta logiikan suunnitteluvaiheessa?
- e) Piirrä kaavio logiikasta, jolla asynkroninen tulo (esim. painonapilta tuleva signaali) voidaan synkronoida järjestelmän systeemikelloon niin, että mahdollisen metastabiilin tilan haitallinen vaikutus olisi mahdollisimman vähäinen.

### ASSIGNMENT 2.

Digital logic can end up in a **meta-stable** state. In this assignment, you are asked some questions concerning the meta-stable state.

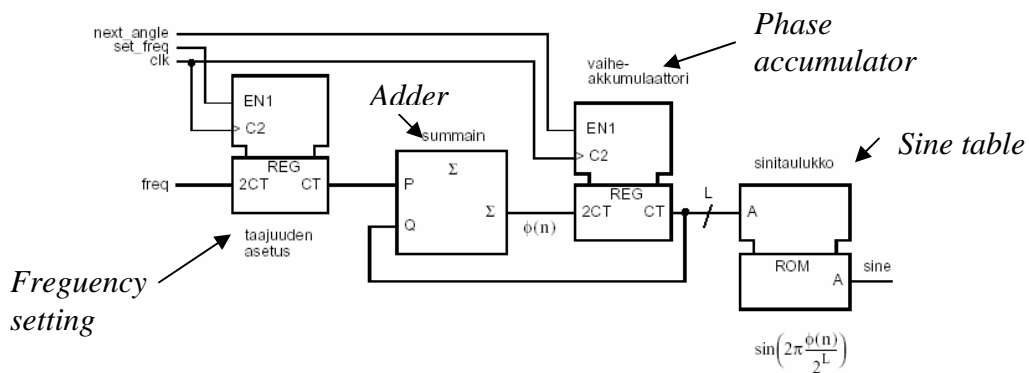
- a) Explain shortly, what a meta-stable state means? When we are able to say, that a logic circuit is in a meta-stable state? What is the digital component which can get into the meta-stable state?
- b) How the timing parameters *set-up time* and *hold time* are bound to the meta-stable state?
- c) What are the conditions which lead to a meta-stable state?
- d) What are those methods and tools used in logic design phase to indicate the possibility of a meta-stable state?
- e) Draw a logic diagram needed to connect asynchronous input (e.g., control signal from a push button) to synchronous system so that the influence of possible meta-stable states is minimized.

**TEHTÄVÄ 3**

Alla olevassa kuvassa esitetty arkkitehtuuri soveltuu sinifunktion generointiin. Selitä miten logiikka toimii!

**ASSINGNMENT 3**

The architecture in the figure below could be used to generate sine function values. Explain how it works!



**Tentti: 22.02.2008**

#### TEHTÄVÄ 4

a) Suunnittele logiikka-arkkitehtuuri, joka laskee 8-bittisten kompleksilukujen kertolaskun. Kompleksilukujen reaali- ja imaginääriosat on koodattu 4-bittisinä 2-komplementtilukuina. Valitse sananleveydet (myös laskun tulos!) niin, että ylivuotoja ei tapahdu. (3 p)

$$(ohje: (A+jB)(C+jD) = AC + jAD + jBC + j^2BD = (AC - BD) + j(AD+BC).$$

b) Arvioi suunnittelemasi kompleksilukukertojan looginen monimutkaisuus ekvivalentti-portteina. (1 p)

c) Etsi logiikan kriittinen polku arvioi sen aiheuttama viive. Ilmoita kriittisen polun kokonaisviive porttiviiveen monikertoina. Oletetaan, että täyssummaimen (full adder) aiheuttama etenemisviive on kaksi porttiviivettä. (1 p)

d) Arvioi kompleksikertojan maksimitehonkulutus (kaikki solmupisteet vaihtavat tilaansa joka kellojaksolla) tilanteessa, jossa laskettavat luvut vaihtavat arvoaan maksimitaajuudella. Käytä keskimääräisenä porttiviiveen arvona 100 ps. Käyttöjännite on 1 V ja portin keskimääräinen tulokapasitanssi 0,005 pF. (1 p)

#### ASSIGNMENT 4

a) Design a logic architecture, which computes multiplication between two complex 8-bit numbers. Real and imaginary parts of the complex numbers are given in 4-bit 2's complement format. Select bit widths so that no overflows happen. (3 points)

$$(hint: (A+jB)(C+jD) = AC + jAD + jBC + j^2BD = (AC - BD) + j(AD+BC).$$

b) Estimate the logical complexity of your complex number multiplier in terms of equivalent gates. (1 point)

c) Find the critical path of the logic and estimate its propagation delay. Give the total critical path delay in gate delays. Assume that propagation delay of a Full Adder is two gate delays. (1 point)

d) Estimate the maximum (all signal nodes change state on every clock cycle) power consumption of your complex number multiplier in the case when the input numbers change their value at the maximum clock frequency. Use 100 ps as a mean value of gate delay and 0.005 pF as a mean value of input capacitance of a gate. Operating power is 1V. (1 point)