

**Tentti: 12.10.2007**

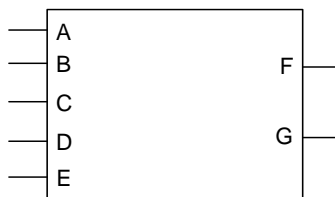
**TEHTÄVÄ 1.**

**a)** Suunnittele kombinaatiologiikkalohko, joka toteuttaa Boolean funktiot  $F = AB + C$  ja  $G = F + BDE$  käyttäen 4-tuloisia 16x1 hakutaulukoita (Look-Up Table, LUT). Esitä hakutaulukkojen sisällöt!

**b)** Hakutaulukoiden viive on 3 ns. Mikä on a-kohdassa suunnittelemasi lohkon lyhin mahdollinen kellojakso, jos muuttujat A, B, C, D ja E luetaan D-kiikkuista ja tulokset F ja G talletetaan D-kiikkuihin? Olkoon D-kiikkujen asettumisaika  $t_{\text{setup}} = 500$  ps, pitoaika  $t_{\text{hold}} = 0$  ps ja viive  $t_{\text{DFF}} = 850$  ps.

**a)** Design a combinatorial logic block, which implements Boolean functions  $F = AB + C$  and  $G = F + BDE$ . Use 4-input 16x1 Look-Up Tables (LUTs) in implementation. Solve the content of Look-Up Tables.

**b)** The delay of a Look-Up Table is 3 ns. What is the shortest possible clock cycle, if variables A, B, C, D and E are read from D-FFs and values of functions F and G are written into D-FFs? Let the set-up time of D-FF be  $t_{\text{setup}} = 500$  ps, hold time  $t_{\text{hold}} = 0$  ps and delay  $t_{\text{DFF}} = 850$  ps.



**Tentti: 12.10.2007**

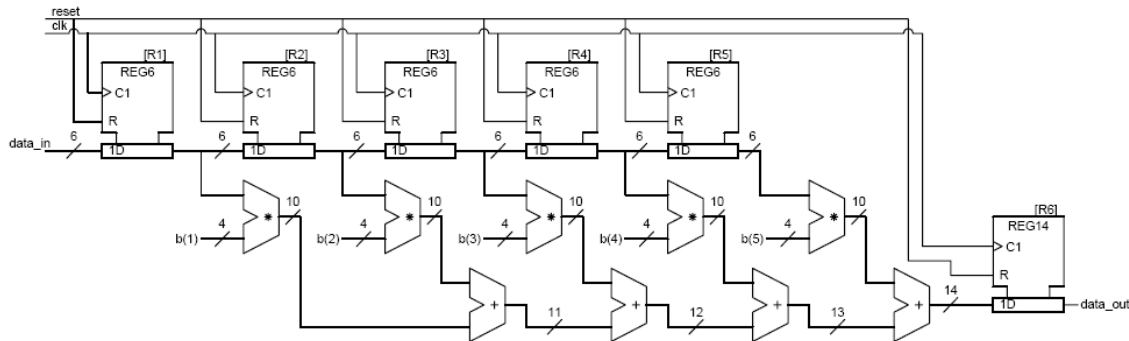
**TEHTÄVÄ 2.**

Oheisessa kuvassa on esitetty erään digitaalisen järjestelmän synkroninen tietoväylä. Arkkitehtuurissa käytettyjen rekistereiden viive kello-tulosta lähtöön on  $t_{reg} = 1$  ns ja asettumisaikavaatimus  $t_{setup} = 500$  ps. Summaimen viive  $t_{add} = 3$  ns ja kertojan viive  $t_{mul} = 5$  ns.

- a) Määritä tietoväylän kriittinen polku sekä sen viive  $t_{crit}$ .
- b) Mikä on tietoväylän suurin mahdollinen kellotaajuus?
- c) Paljonko on tietoväylän latenssi? Minkä algoritmin tietoväylä laskee tulosignaalista *data\_in* ja vakioista  $b(1)$ - $b(5)$ ? (käytä hyväksesi esim. tietoväylän ajoituskaaviota)
- d) Suunnittele symmetrinen kello-ohjainpuu, jonka välityksellä rekisterien kellotulot liitetään oskillaattoriin. Käytössäsi on 2, 4, 8, 10, 16 ja 32 fan-out:lla varustettuja ”kello-draivereita” (vahvistimia).

In the figure below, a synchronous data path of a digital system is seen. The delay of the registers applied in the architecture from clock input to the output is  $t_{reg} = 1$  ns and set-up time requirement  $t_{setup} = 500$  ps. The delay of the adders is  $t_{add} = 3$  ns and the delay of the multiplier  $t_{mul} = 5$  ns.

- a) Find the critical path of the data path and its delay  $t_{crit}$ .
- b) What is the highest clock frequency?
- c) How much is the latency of the data path? What is the algorithm the data path computes using inputs *data\_in* and constants  $b(1)$ - $b(5)$ ? (e.g. timing diagram of the data path could help you).
- d) Draw a symmetric clock signal driver tree, through which the clock inputs of registers are fed to the clock oscillator. You can use clock drivers with 2, 4, 8, 10, 16 or 32 fan-out.



**Tentti: 12.10.2007**

### TEHTÄVÄ 3

Digilogiikka voi joutua niin sanottuun **metastabiiliin** tilaan. Tässä tehtävässä sinulta kysytään metastabiiliin tilaan liittyviä kysymyksiä.

- Selitä lyhyesti mitä metastabiili tila tarkoittaa eli mitkä tunnusmerkit täyttyvät silloin kun logiikan voidaan katsoa olevan metastabiilissa tilassa. Mihin digikomponenttiin metastabiili tila erityisesti liittyy?
- Miten ajoitusparametrit asettumisaika (*set-up time*) ja pitoaika (*hold time*) liittyvät metastabiiliin tilaan?
- Mitkä ovat ne syyt, jotka johtavat logiikan ajautumiseen metastabiiliin tilaan?
- Millä keinoilla ja välineillä metastabiiliin tilaan joutumisen todennäköisyys voidaan todeta logiikan suunnitteluvaiheessa?
- Piirrä kaavio logiikasta, jolla asynkroninen tulo (esim. painonapilta tuleva signaali) voidaan synkronoida järjestelmän systeemikelloon niin, että mahdollisen metastabiilin tilan haitallinen vaikutus olisi mahdollisimman vähäinen.

Digital logic can end up in a **meta-stable** state. In this assignment, you are asked some questions concerning the meta-stable state.

- Shortly explain what a meta-stable state means? When we are able to say, that a logic circuit is in a meta-stable state? What is the digital component which can get into the meta-stable state?
- How the timing parameters *set-up time* and *hold time* are bound to the meta-stable state?
- What are the conditions which lead to a meta-stable state?
- What are those methods and tools used in logic design phase to indicate the possibility of a meta-stable state?
- Draw a logic diagram needed to connect asynchronous input (e.g., control signal from a push button) to synchronous system so that the influence of possible meta-stable states is minimized.

**Tentti: 12.10.2007**

**TEHTÄVÄ 4**

Alla olevassa kuvassa on esitetty yksinkertainen yksikantoaaltomodulaattori, joka soveltuu esimerkiksi puheensiiirtojärjestelmän osaksi. Mikrofonilta tulevasta signaalista otetaan 8 kHz taajuudella näytteitä, jotka analogia-digitaalimuunnetaan 8-bitin näytteiksi. Sarjamuotoisesta näytejonosta enkoodataan aina kaksi bittiä konstellaatiopisteeksi, joka moduloidaan kertomalla se digitaalisesti generoidun sinisignaalin kanssa.

- Montako D-kiikkua arkkitehtuurin toteutukseen tarvitaan? Minkälaisen arvion ekvivalenttiporttien kokonaismäärästä voit tehdä kiikkujen lukumäärän perusteella?
- Tee tarkempi arvio ekvivalenttiporttien määrästä laskemalla erikseen jokaisen arkkitehtuurissa esiintyvän komponentin porttimääräarvio.
- Kuinka monta D-kiikun ja 4-tuloisen hakutaulukon (LUT) sisältävää FPGA-pohjan loogista elementtiä (LE) tarvitaan arkkitehtuurin toteuttamiseen.
- Arvioi arkkitehtuurin dynaaminen tehonkulutus. Käytä laskelmassa seuraavia arvoja: yhden ekvivalenttiportin tulokapasitanssi = 0,004 pF ja käyttöjännite 1,2 V.

In the figure below, a simple single carrier modulator is seen. This could be a part, e.g., in a speech transmission system. The signal from the microphone is sampled and converted to 8-bit samples at 8 kHz rate. Serial bit stream is encoded in two bit parts into constellation points. Constellation vectors are modulated by multiplying them with a digital sine-signal waveform.

- How many D-type flip-flops are needed to implement the architecture? What kind of estimation of total gate count you are able to make based on the number of D-FFs.
- Make a more exact estimation of the gate count by calculating the number of gate equivalents in every individual component in the architecture.
- How many FPGA Logic Elements (LEs) containing a D-FF and a 4-input LUT is needed to implement the architecture.
- Calculate an estimate of dynamic power consumption of the architecture. Use 0.004 pF as an input capacitance value of an equivalent gate and 1.2V as an operating voltage.

