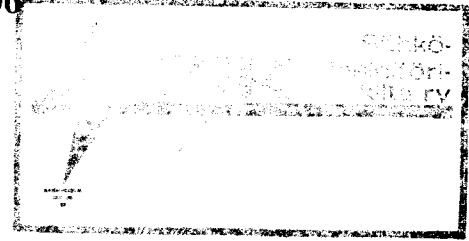


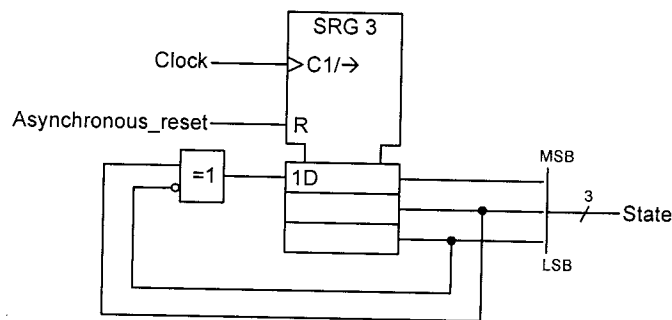
Tentti: 03.11.2006



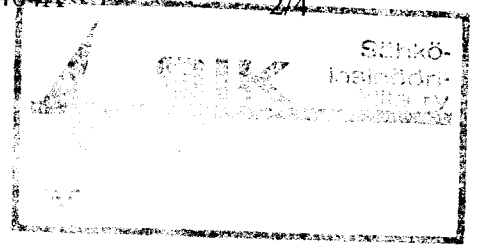
TEHTÄVÄ 1.

1. a) Oheisessa kuvassa on esitetty erään synkronisen tilakoneen logiikka-arkkitehtuuri. Piirrä tilakoneen tilakaavio (3p). Oleta alkutilaksi tila "000".

b) Mikä on suurin teoreettinen kellotaajuus, jolla a)-kohdan tilakone voi toimia luotettavasti? XOR-portin viive $t_{xor} = 1$ ns. Siirtorekisterin viive kello tulosta lähtöön $t_{srg} = 3$ ns, datatulon asettumisaika $t_{setup} = 1$ ns ja pitoaika $t_{hold} = 1$ ns. (2p)



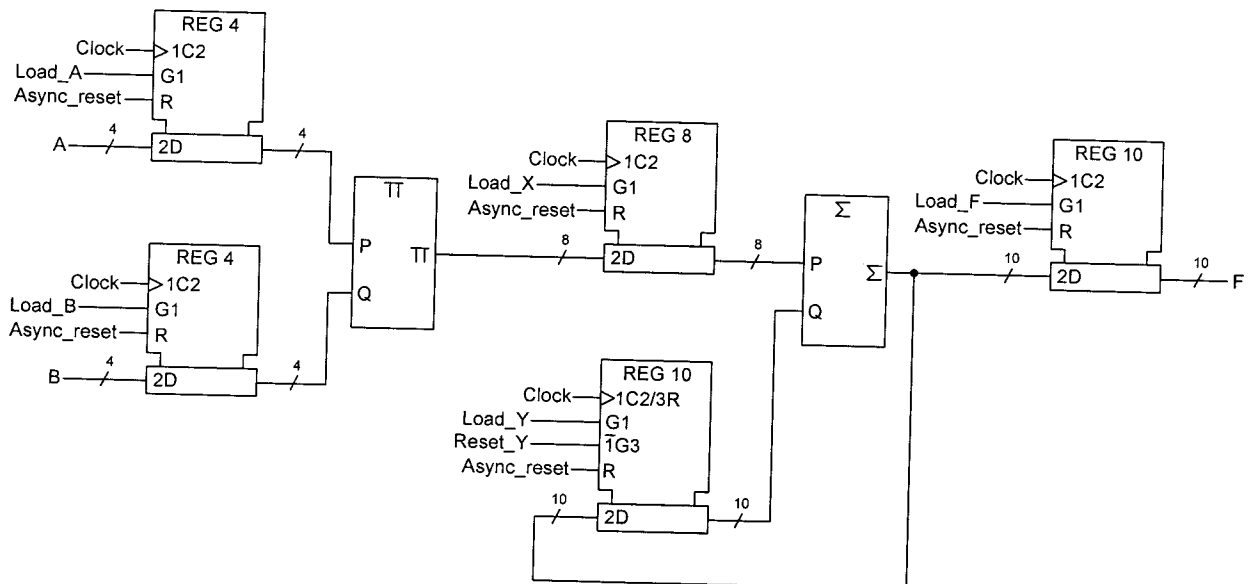
Tehtävän 1 logiikka-arkkitehtuuri.



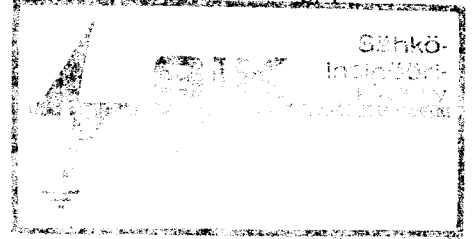
TEHTÄVÄ 2

a) Digitaalitekniikassa on eräs rekisteri, johon talletetaan lukuarvoja väliltä $[-5,25; 5,25]$ binäärimuodossa. Monella bitillä rekisterin data täytyy vähintään esittää ja missä on binääripisteen paikka, jotta lukualueen kaikki luvut voidaan tallettaa rekisteriin tarkkuudella 0,0625? (1p)

b) Suunnittele sellainen oheista tietoväyläarkkitehtuuria ohjaava ohjauslogiikka, että ohjattu tietoväylä laskee algoritmin $F = 3 \times (A \times B)$. Laskenta aloitetaan, kun käyttäjä on antanut yhden kellojakson mittaisen signaalin "start". Oleta, että muuttujat A ja B ovat luettavissa tietoväylän tuloissa yhden kellojakson ajan signaalia "start" seuraavalla kellojaksolla. Esitä ohjausosan tilakaavio (2p) sekä logiikka-arkkitehtuuri (2p).

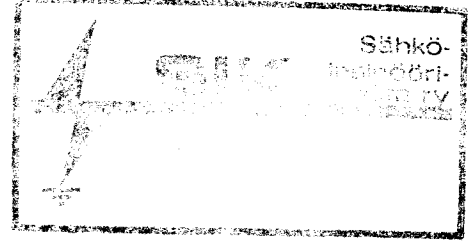


Tehtävän 2 tietoväyläarkkitehtuuri.



TEHTÄVÄ 3.

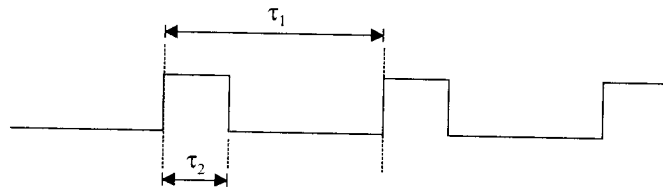
- a) Piirrä summainpiireistä muodostuva logiikka-arkkitehtuuri, joka kertoo 7-bittisen positiivisen kokonaisluvun (A) kymmenjärjestelmän **vakiolla** 24_{10} . Tulokseksi on saatava normaali aritmeettinen tulo (esimerkiksi, jos kerrottava on 20, niin tulo on $24_{10} \times 20_{10} = 480_{10}$). Arkkitehtuurissa saa käyttää vain summainpiirejä. Piirrä arkkitehtuuri bitin tarkkuudella riippuvuusmerkintästandardin (IEEE std 91a-1991 = SFS 4612) mukaisia symboleja käyttäen. Summainpiirien sisäistä loogista rakennetta ei tarvitse esittää. (3p)
- b) Kirjoita a-kohdassa laatimaasi arkkitehtuurikuvaan kaikkien signaalipisteiden loogiset tilat (1 tai 0) kun kerrottava on 35_{10} . (2p)



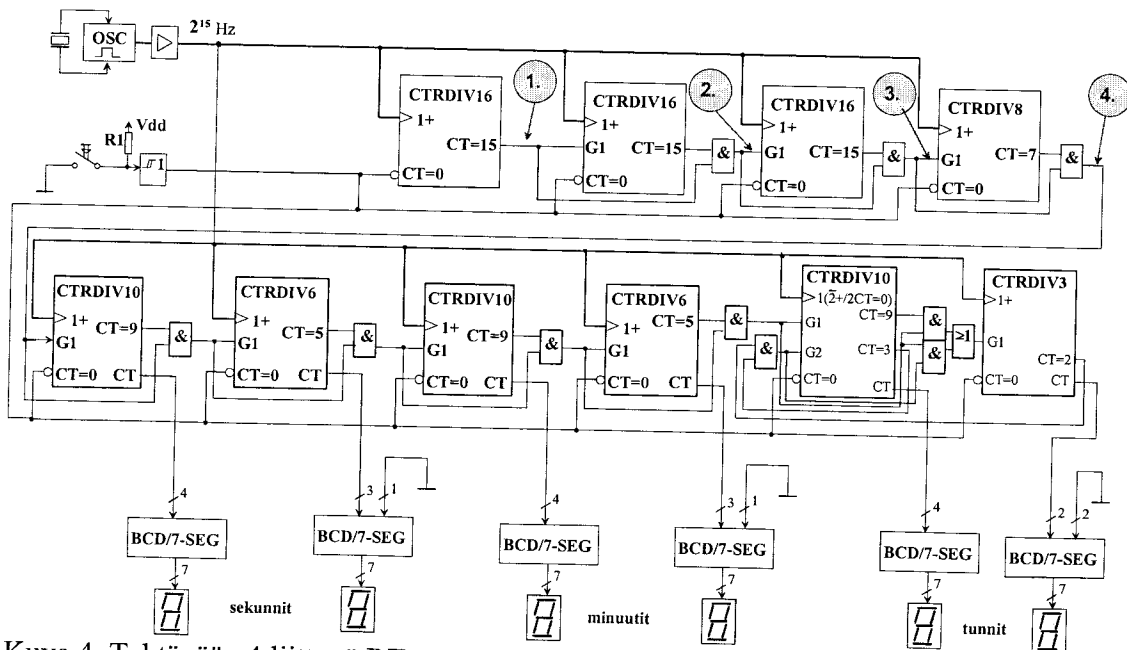
TEHTÄVÄ 4.

Tehtävään 4 liittyvässä kuvassa on rekisterinsiirtotason (RTL = Register Transfer Level) digiarkkitehtuuri. Oskillaattorin taajuus on 2^{15} Hz = 32768 Hz.

- a) Kuvan 4 arkkitehtuuri toteuttaa vuorokauden tunnit, minuutit ja sekunnit laskevan ja näyttävän kellologiikan. Miten kello saadaan näyttämään oikeaa aikaa? (1 p)
- b) Signaalipisteissä 1, 2, 3 ja 4 esiintyvän signaalin aaltomuoto on alla olevan kuvan mukainen. Laske parametrien τ_1 ja τ_2 arvot signaalipisteissä 1, 2, 3 ja 4. (1 p)



- c) Kuvan arkkitehtuurissa on 10 digitaalista laskuria. Montako D-kiikkua kaikkiaan niiden toteuttamiseen tarvitaan? Perustelee kunkin laskurityypin kiikkujen lukumäärä. Pelkkä lukumäärä ei riitä vastaukseksi. (1p)
- d) Miten logiikkatoteutuksen D-kiikkujen lukumäärän perusteella voidaan arvioida koko arkkitehtuurin ASIC-toteutusta vastaavan ekvivalenttiporttien lukumäärä? Miten kiikkujen lukumäärää voidaan käyttää FPGA-toteutukseen tarvittavien logiikkaresurssien (hakutaulukot (LUT), kiikut, muistibitit, I/O-pinnit ...) määrän arviointiin. (1 p)
- e) Arkkitehtuurissa on 6 kappaletta BCD/7SEG-koodereita. Montako 4-tuloista hakutaulukkoa (LUT-4) näiden toteuttamiseen FPGA-piiripohjalla tarvitaan? Miten tilanne muuttuu, jos piiripohjalla on tarjolla 6-tuloisia hakutaulukoita? (1 p)



Kuva 4. Tehtävään 4 liittyvä RT-tason arkkitehtuuri.