
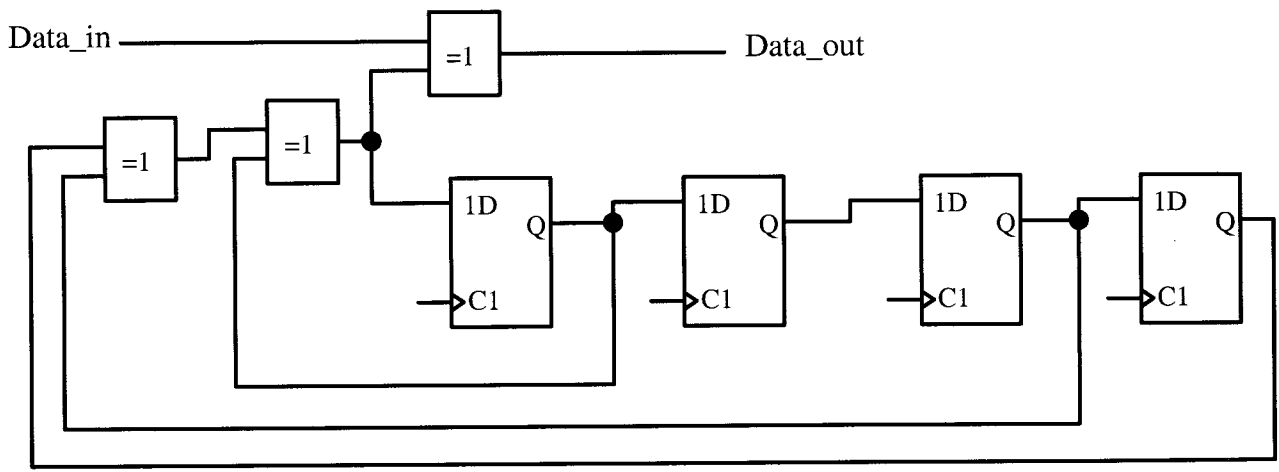


DIGITAALITEKNIikka II – 521404A Tenti: 16.04.2004		
--	---	--

1. Kuvassa 1 on esitetty digitaalisessa tietoliikenteessä käytetty sekoittaja (scrambler). Piirille tuleva data sekoitetaan bittisekvenssillä, joka tuotetaan takaisinkytketyllä lineaarisella sekvenssipiirillä. D-kiikkujen ajoitusparametrit ovat: etenemisviive kellotulosta lähtöön  $t_{DFF} = 3$  ns, asettumisaika  $t_{setup} = 2$  ns ja pitoaika  $t_{hold} = 1$  ns. XOR-porttien viive  $t_{xor} = 1,5$  ns.

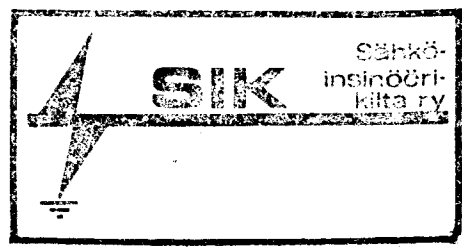
- a) Mikä on scramblerin generaattoripolynomi? (Takaisinkytketyn sekvenssipiirin polynomi) 2p.
- b) Jos kiikut on alustettu tilaan 1001, mikä on dataa 10011 vastaava sekoitettu data? 1p.
- c) Kuinka piiri toimii jos kiikut alustetaan tilaan 0000? 1p.
- d) Mikä on piirin maksimikellotaajuus? 2p.




Kuva 1.

2. Tehtävänäsi on suunnitella piiri, joka laskee algoritmin:  $Y = (A + B + C) * (A + D)$ . Luvut A, B, C ja D ovat 4-bittisiä binäärilukuja. Tulos Y on 12-bittinen binääriluku. Käytössäsi on ainoastaan yksi summain ja yksi kertoja. Lisäksi käytössäsi on vapaasti multipleksereitä ja rekistereitä. Oletetaan, että summainen ja kertojan väyläleveydet ovat riittävät, eli ylivuotoja ei tapahdu.

- a) Esitä piirin (algoritmin) tietoriippuvuuskaavio. 1p.
- b) Sijoita tietoriippuvuuskaavio ohjausakselille, eli ajoita piirin toiminta kellojaksoihin. Oleta, että yhdessä kellojaksossa ehditään tekemään vain yksi summaaminen tai kertominen. 2p.
- c) Montako kellojaksoa piiriltäsi kuluu algoritmin laskemiseen? 1p.
- d) Esitä piirin tietoväylän logiikka-arkkitehtuuri. 2p.

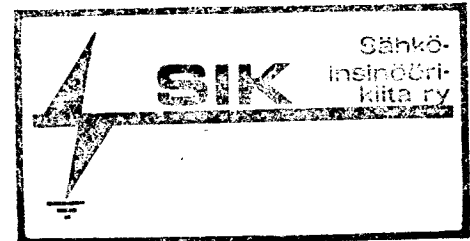


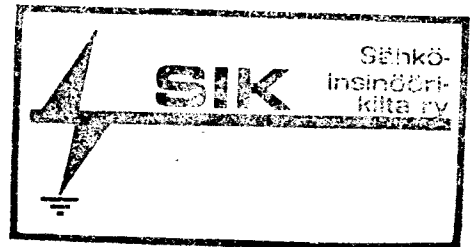
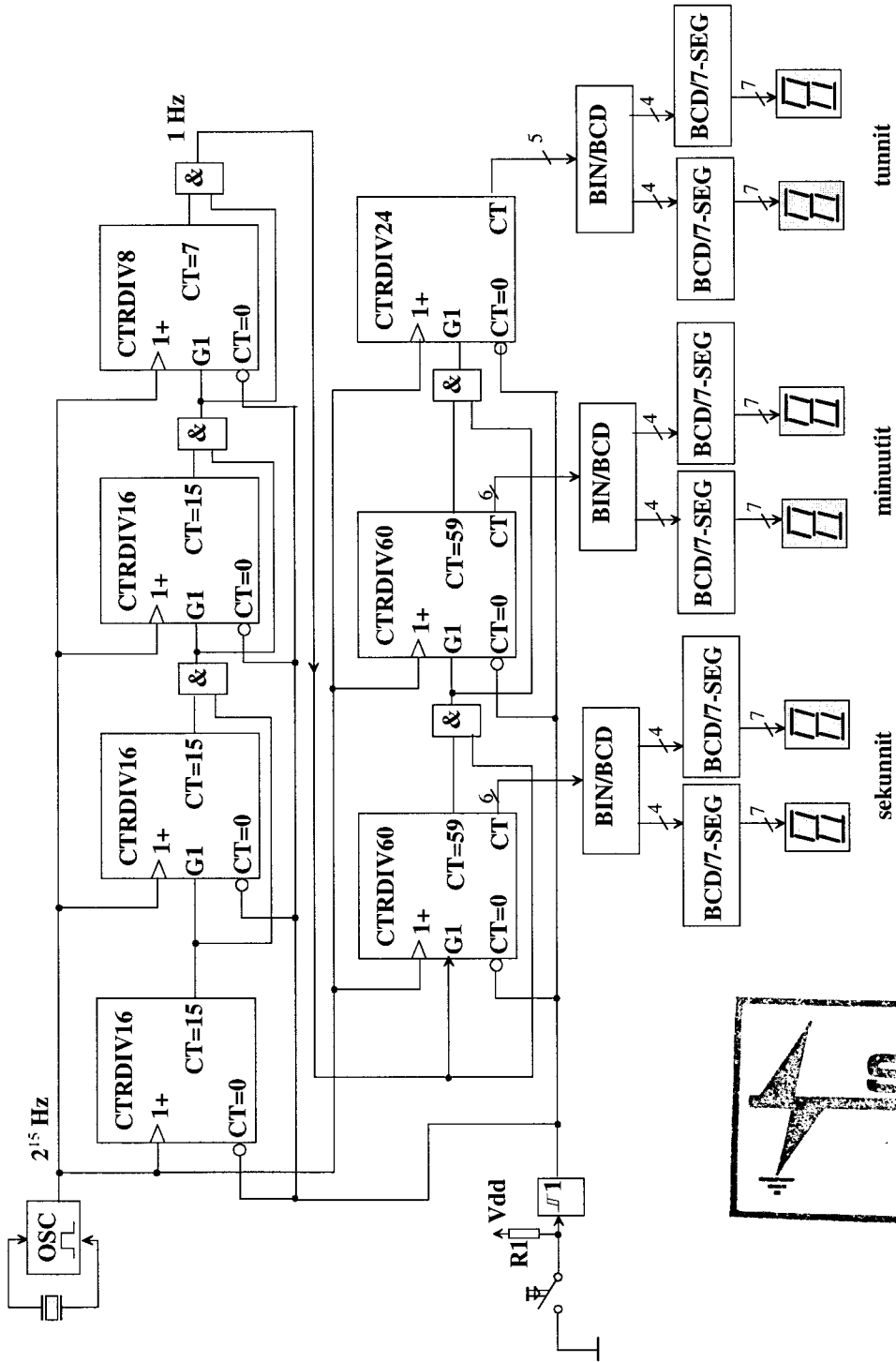
DIGITAALITEKNIikka II – 521404A Tentti: 16.04.2004	 OULUN YLIOPISTO	
---	---	--

**Tehtävä 4:**

Kuvassa 4 on esitetty digitaalikellon rekisteritason arkkitehtuuri:

- Käytössäsi on vain erilaisia ROM-piirejä ja D-kiikkuja. Montako ja minkälaisia ROM-piirejä ja D-kiikkuja tarvitset kuvan 4 digitaalikellon toteutukseen?
- Oletetaan, että erään FPGA-piiripohjan yksittäinen ohjelmoitava elementti muodostuu 16x1 hakutaulukosta (LUT = ROM) ja yhdestä D-kiikusta. Montako tällaista FPGA-piirin ohjelmoitavaa elementtiä tarvitaan kuvan 4 arkkitehtuurin toteutukseen?





Kuva 4