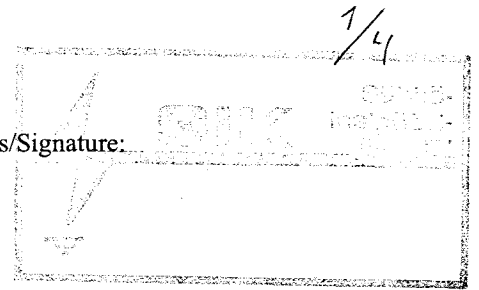


Nimi/Name:

Nimikirjoitus/Signature:



1. a) Minkälaisia virhetilanteita synkronisen logiikan toiminnassa aiheuttaa kellopoikkeama?
 - b) Mikä kellopoikkeamaa voi aiheuttaa?
Havainnollista virhetilanteita
 - c) logiikkakaavion,
 - d) ajoituskaavion ja
 - e) esimerkkilaskelman avulla.
- Keksi käyttämiesi komponenttien suorituskykyparametrit itse.

2. Suunnittele logiikka-arkkitehtuuri, joka suorittaa seuraavan laskenta-algoritmin:

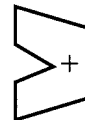
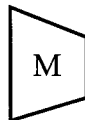
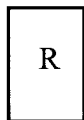
$X = (A+D)*(B-C)*(E+F)$. Binäärilukutulot (A:F) ovat saatavilla yhtä aikaa rinnakkaismuodossa yhden kellojakson ajan.

Käytössäsi on:


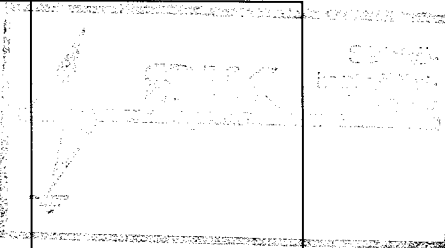
- yksi summain/vähennyslaskupiiri, jonka viive on 50 ns
- yksi kertojapiiri, jonka viive on 50 ns
- riittävästi latauksen sallinnan sisältäviä rinnakkaisrekistereitä, joiden viive ja asettumisaika ovat 5 ns
- riittävästi multipleksereitä, joiden viive on 10 ns.

Oletetaan, että summainen ja kertojan sananleveydet ovat riittäviä, eikä ylivuotoja tapahdu. Kaikilla rekistereillä on yhteinen kellosignaali, jonka taajuus on 10 MHz.

- a) esitä tietoriippuvuuskaavio, josta käy ilmi toimintojen sijoittuminen ohjausaskelille,
 - b) esitä logiikka-arkkitehtuuri käyttäen oheisia symboleja.
- Summain/vähennyslaskupiirin, rekistereiden ja multipleksereiden ohjaussignaaleja ei tarvitse merkitä näkyviin.

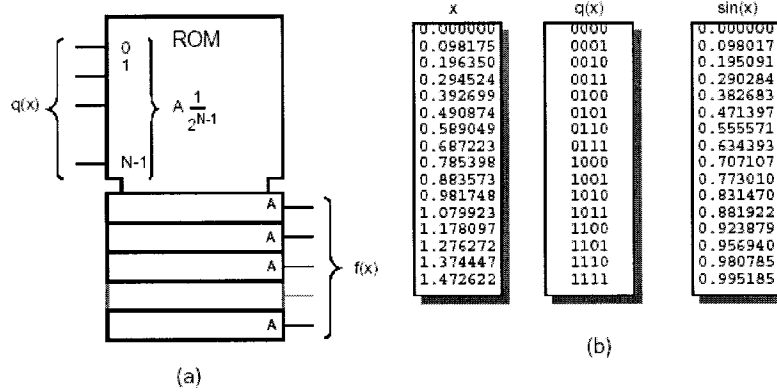


Rekisteri (Register), Multiplekseri (Multiplexer), Summain (Adder), Kertoja (Multiplier)

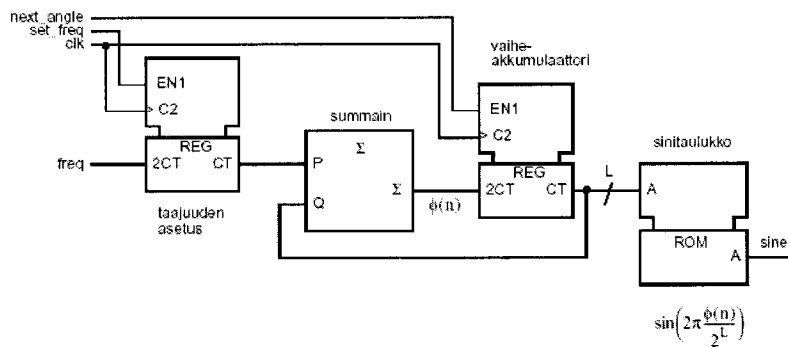
DIGITAALITEKNIikka II – 521404A Tenti: 10.10.2003	OULUN  YLIOPISTO	
---	---	---

Tehtävä 3:

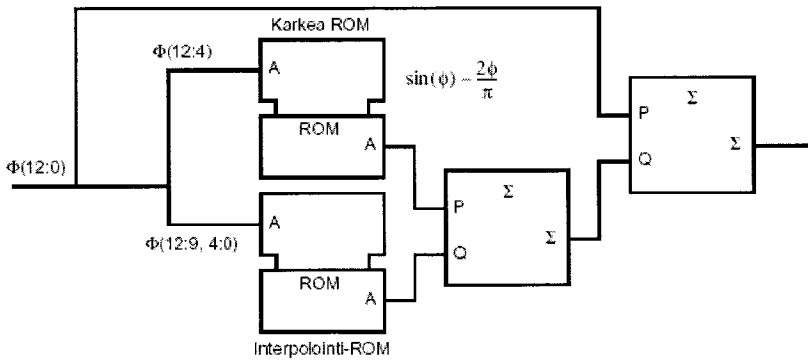
Selitä miten kuvien 1, 2 ja 3 arkkitehtuurit liittyvät sinifunktion generointiin hakutaulukon (look-up table, ROM) avulla.




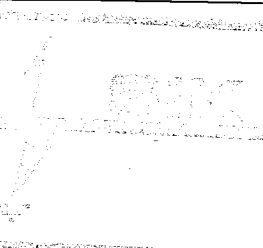

Kuva 1.



Kuva 2.



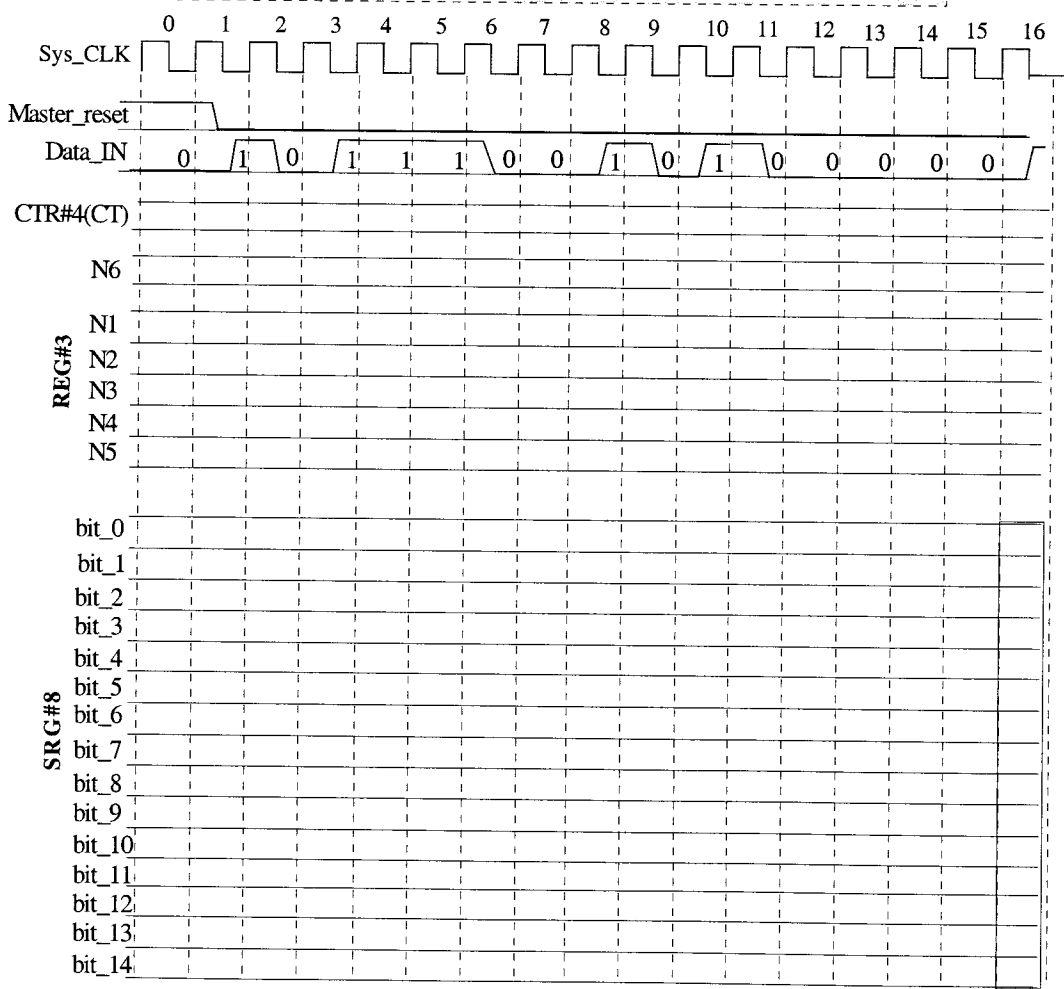
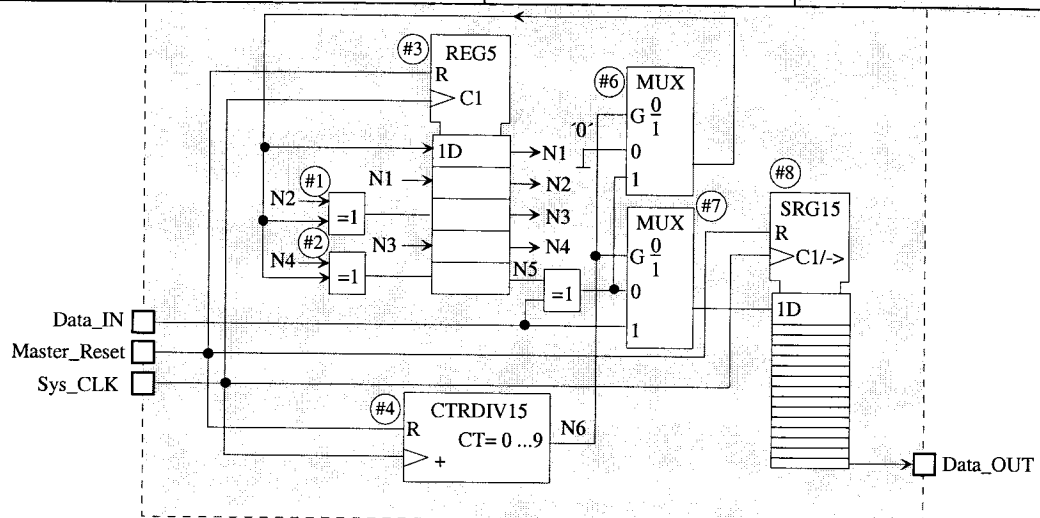
Kuva 3.

DIGITAALITEKNIikka II – 521404A Tentti: 10.10.2003	OULUN  YLIOPISTO		
---	---	---	---

Tehtävä 4:

Kuvassa 4 on kuvattuna kahdeksasta (numeroitu #1 ...#8) arkkitehtuurikomponentista koostuva rekisteri-siirtotason (register-transfer level) logiikka-arkkitehtuuri. Arkkitehtuurin alle on piirretty pulssikaaviota 17 systeemikellon jakson verran. Systeemikellon (Sys_CLK), asynkronisen nollauksen (Master_reset) ja sarjamuotoisen datatulon (Data_IN) pulssikaaviot on piirretty kaavioon näkyviin. Tehtävänäsi on täydentää pulssikaavio signaalitasoina ja/tai nollina ja ykkösinä systeemikellon jakson tarkkuudella. Pulssikaaviosta puuttuvat signaalit ovat laskurin numero 4 sisältö (CTR#4(CT)), multiplekserien numero 6 ja 7 osoite (N6) sekä rekisterin numero 3 (REG#3) (signaalipisteet N1 .. N5) ja 15-bitin siirtorekisterin numero 8 (SRG#8) (bit_0 ... bit_14) sisältämien bittien arvot.

Minkälainen koodisana on siirtorekisterissä numero 8 (SRG#8) kellojakson numero 16 aikana? Mitä logiikka tekee?



Kuva 4