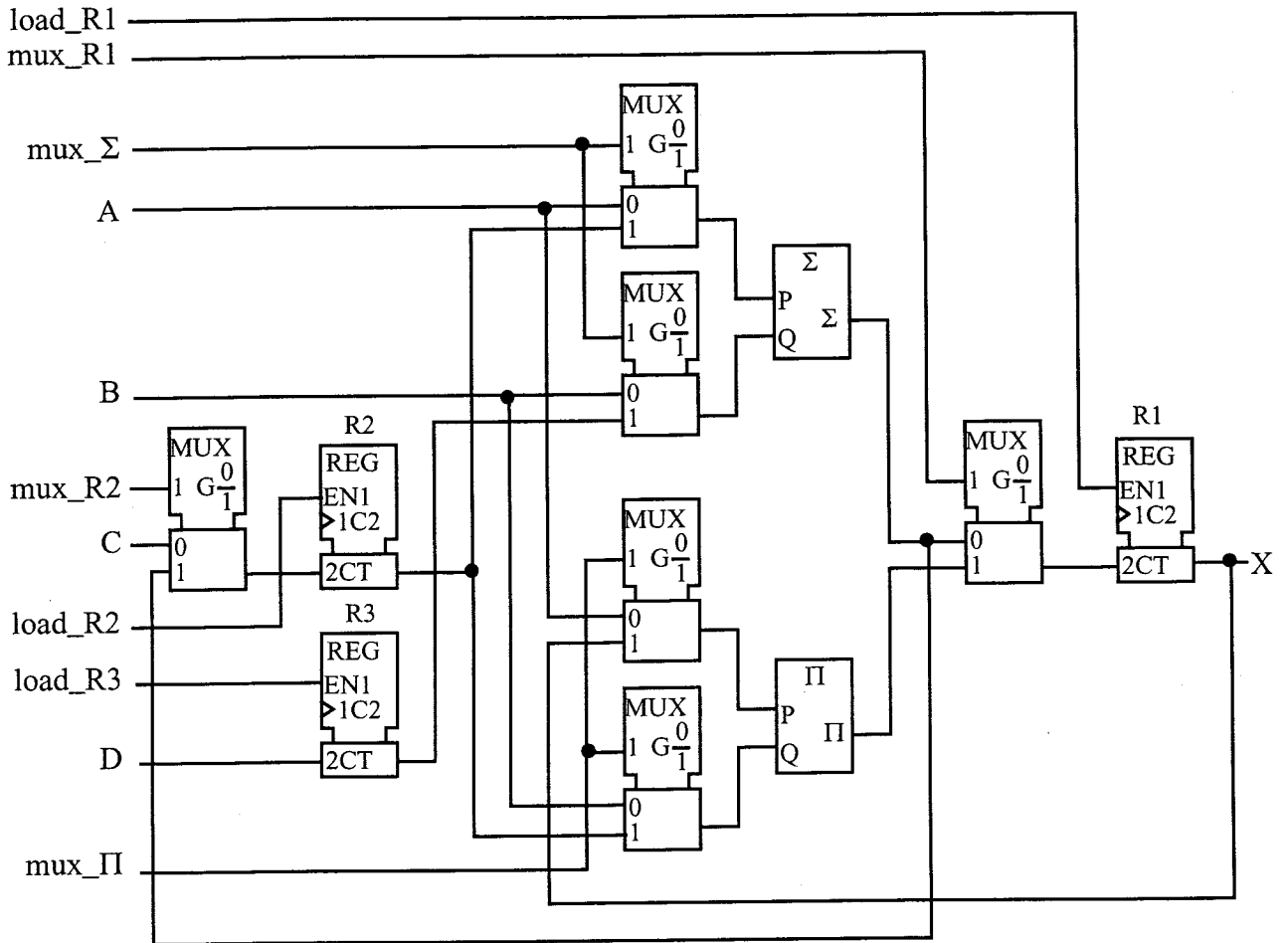


2. Minkä laskenta-algoritmin X kuvan 2 logiikka-arkkitehtuuri suorittaa taulukon 1 mukaisilla ohjausvektoreilla (d = don't care)? Täydennä taulukkoon eri ohjausaskelilla suoritettavat operaatiot (esim. $H+I \rightarrow R_n$, $J \rightarrow R_m$, $R_n * R_m \rightarrow R_o$ jne.). Muuttujat A, B, C ja D ovat luettavissa yhden kellojaksos ajan. Kaikkia rekistereitä kellotetaan yhteisellä kellosignaalilla.



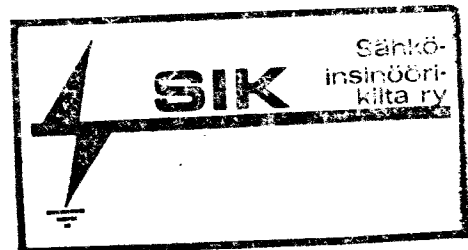
Kuva 2.

Vastaus tähän: täydennä taulukko ja kirjoita X:n algoritmi.

Taulukko 1:

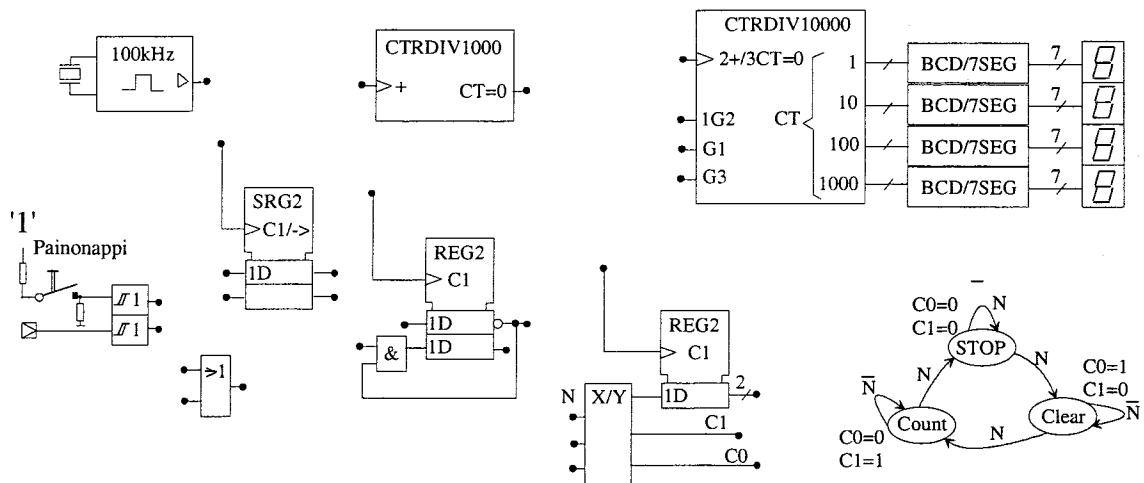
Ohjaus-askel	load_R1	load_R2	load_R3	mux_R1	mux_R2	mux_Sigma	mux_Pi	Operaatiot
C0	1	1	1	0	0	0	d	
C1	0	1	d	d	1	1	d	
C2	1	d	d	1	d	d	1	

X = _____

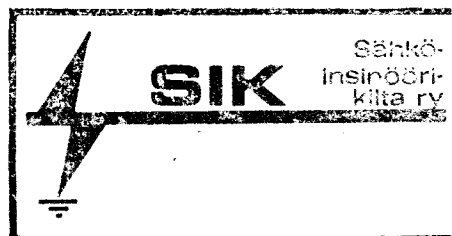


3. Kuvassa 3 on esitelty joukko logiikka-arkkitehtuurilohkoja. Tehtävänäsi on yhdistää komponentit toisiinsa niin, että kokonaisuus toimii sekuntikellona. Kahden peräkkäisen painonapin painalluksen välillä kulununeen ajan pitää näkyä 7-segmenttinäytössä sadasosa sekunnin tarkkuudella. Aikalaskentajakson edellisen lopetus- ja uuden aloituspulssin välillä annetun pulssin pitää nollata näyttö. Arkkitehtuurielementtien lisäksi kuvassa on tilakaavio, joka määrittelee X/Y-lohkon logiikan. Toimivaan ratkaisuun riittää 10 signaalisolmupisteen lisääminen.

Ohje: CTRDIV1000 on laskurilogiikka, joka laskee numerot 0..999. REG2 on 2-bitin rekisteri ja SRG2 on 2-bitin siirtorekisteri. BCD/7-SEG on koodauslogiikka, joka koodaa BCD-digitiin 7-segmenttikoodiksi.



Kuva 3



4. Tämän tehtävän kysymykset liittyvät edellä kuvissa 2 ja 3 esiteltyihin logiikka-arkkitehtuureihin.

- a) Laske montako D-kiikkua kuvan 2 arkkitehtuurissa on. Sovitaan, että kuvan 2 luvut A, B, C ja D ovat 8-bittisiä.

VASTAUS 4a: Kuvan 2 arkkitehtuurissa on _____ D-kiikkua

- b) Laske montako D-kiikkua kuvan 3 arkkitehtuurilohkoissa on yhteensä on.

VASTAUS 4b: Kuvan 3 arkkitehtuurilohkoissa on yhteensä _____ D-kiikkua

- c) Arvioi kuvan 2 arkkitehtuurin logiikkatoteutuksen monimutkaisuus ekvivalenttiportteina (yksi porttiekvivalentti vastaa 2-tuloista JAEI- tai TAIEI-porttia). Yhteensälaskuelementin oletetaan koostuvan kokosummaimista ja kertojan 2-tuloisista JA-porteista ja kokosummaimista. Käytetty sananpituus on 8-bittisiä.

VASTAUS 4c: Kuvan 2 arkkitehtuurin logiikkatoteutukseen tarvitaan

**vähintään _____ ja enintään _____ ekvivalenttiporttia.
(vähintään arvon pitää olla enemmän kuin 60% enintään arvosta)**

- d) Arvioi kuvan 3 arkkitehtuurielementtien yhteen laskettu monimutkaisuus ekvivalenttiportteina (yksi porttiekvivalentti vastaa 2-tuloista JAEI- tai TAIEI-porttia).

VASTAUS 4d: Kuvan 3 arkkitehtuurielementtien logiikkatoteutukseen tarvitaan yhteensä

**vähintään _____ ja enintään _____ ekvivalenttiporttia.
(vähintään arvon pitää olla enemmän kuin 60% enintään arvosta)**

