

1. Mitä vaatimuksia asetetaan oheisen tilakoneen **D-kiikun viiveelle**,
 a) jos halutaan tilakoneen toimivan luotettavasti 100 MHz:n kellotaajuudella?
 b) kun kellon puskuroinnista aiheutuu kiikkujen kellotulojen välille 2 ns kellopoikkeamaa (clock skew)?

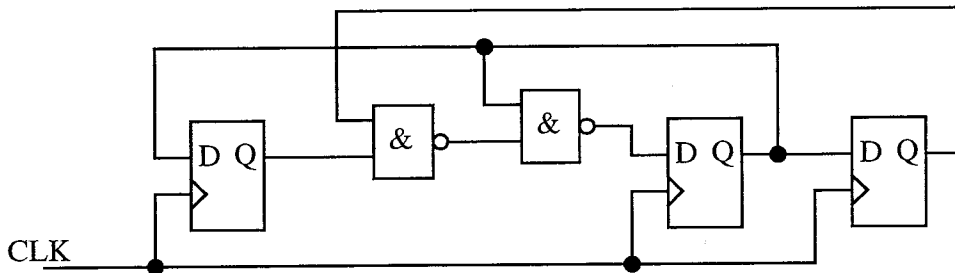
Perustele vastauksesi ajoituskaavioilla!

NAND-portin viive on 1 ns, kiikun asettumisaika (setup time) ja pitoaika (hold time) ovat 1 ns kiikun viiveestä riippumatta.

1. What requirement is there for the **D-flip-flop delay** of the enclosed state machine,
 a) if we want the state machine to work reliably at 100 MHz clock frequency?
 b) when there is 2 ns of clock skew due to the clock signal wiring?

Please explain your answer using timing diagrams.

The NAND-gate delay is 1 ns and the setup and hold times of the D-flip-flop are 1 ns regardless of the flip-flop delay.

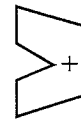
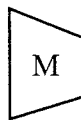
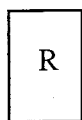


2. Suunnittele piiriarkkitehtuuri, jolla voidaan suorittaa algoritmi $A^2 + B \cdot C$. Käytössäsi on yksi kertoja (*), yksi summain (+) sekä multipleksereitä (M) ja rekistereitä (R). Järjestelmän kellotaajuus on 10 MHz. Kertojan viive on 75 ns, summainen viive on 30 ns ja multiplekserin viive on 5 ns. Rekistereiden asettumisaika on 3 ns. Signaalit A, B ja C ovat voimassa yhden kellojakson ajan. Laskennan tuloksen on oltava synkroninen.

- a) Montako kellojaksoa laskentaan tarvitaan annetuilla komponenteilla?
 b) esitä laskennan **tietoriippuvuuskaavio** tarvittavine rekistereineen.
 c) esitä laskenta-algoritmin **arkkitehtuurikuva** oheisilla symboleilla. Kello-, reset-, tai rekistereiden ja multipleksereiden ohjaussignaaleja ei tarvitse esittää.

2. Design a circuit architecture for the algorithm $A^2 + B \cdot C$. You can use one multiplier (*), one adder (+) and multiplexers (M) and registers (R). The clock frequency is 10 MHz. The multiplier delay is 75 ns, the adder delay is 30 ns and the multiplexer delay is 5 ns. The register setup time is 5 ns. Signals A, B and C are valid for one clock cycle. The result of the calculation must be synchronous.

- a) How many clock cycles is needed for the calculation?
 b) present the **data flow/dependence diagram** with the registers needed
 c) present the **architecture** using the enclosed symbols. Don't worry about the clock and reset signals or multiplexer and register control signals.

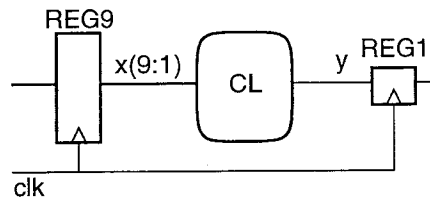


Rekisteri (Register), Multiplekseri (Multiplexer), Summain (Adder), Kertoja (Multiplier)

3. Kuva 3 esittää synkronista sekvenssipiiriä, joka koostuu 9-bitin rekisteristä (REG9) ja 1-bitin rekisteristä (REG1). Kumpikin rekisteri koostuu D-kiikuista. Rekisterien välissä on kombinaatiologiikka sisältävä lohko CL, joka toteuttaa kytkentäfunktion

$$y = (x_1 \cdot x_2 + x_3 \cdot x_4) \cdot (x_5 \cdot x_6 + x_7 \cdot x_8) + \overline{x_9}$$

.Muuta kuvan piiri toimimaan liukuhihnaperiaatteella siten, että sen kellotaajuus voidaan nostaa n. kaksinkertaiseksi. Käytössäsi on D-kiikkuja ja logiikkaportteja. Esitä piirikaavio ja lyhyt perustelu.



Kuva 3 / Figure 3

3. Figure 3 shows a synchronous sequential circuit that contains a 9-bit register REG9 and a 1-bit register REG1. Both of these registers consist of D-flip-flops. Between the registers is a combination logic block CL whose switching function is

$$y = (x_1 \cdot x_2 + x_3 \cdot x_4) \cdot (x_5 \cdot x_6 + x_7 \cdot x_8) + \overline{x_9}$$

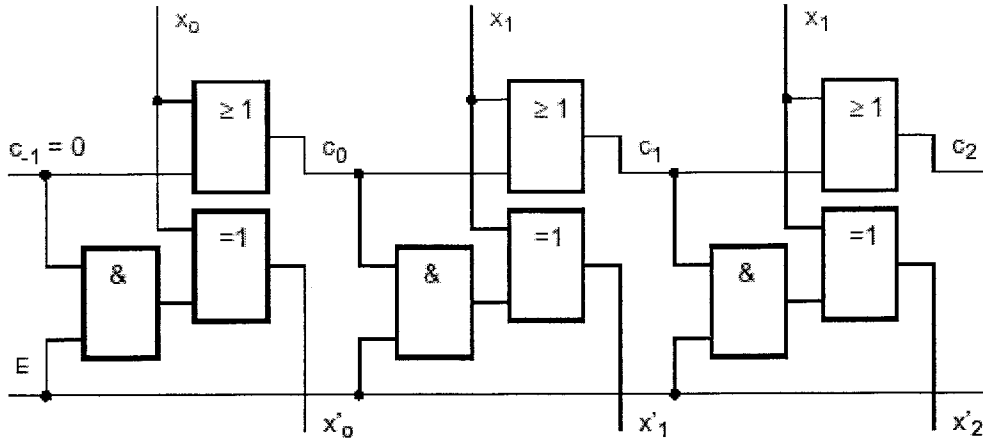
.Modify the circuit to operate in a pipelined fashion so that its clock frequency can be approximately doubled. D-flip-flops and logic gates are available. Draw a schematic diagram and give a short explanation to your solution

4. Kuvassa 4 on logiikkatason rakennekaavio piirrettynä IEEE/ANSI piirrosmerkkistandardin mukaisilla merkeillä.

- Esittääkö kuva 4 kombinaatiologiikka vai sekvenssilogiikka?
- Minkälainen on mielestäsi kuvan 4 logiikkaa vastaava järjestelmätason rakennekuva? Piirrä!
- Mitä logiikka tekee? Esitä vastaus toimintavaatimuksen muodossa.
- Kirjoita kytkentäfunctiot, jotka logiikka toteuttaa.
- Kuinka suuri muistikapasiteetti (ROM m x n) tarvitaan kohdan d kytkentäfunctioiden toteuttamiseen?
- Jos kuvan 4 logiikka sovitetaan CMOS-teknologialle, niin montako puolijohdekytkintä arvioit tarvitsevasi toteutukseen. (+/- kymmenen kytkimen tarkkuus riittää oikeaan vastaukseen)

4. In Fig. 4 you can see a logic level structure drawn according to the IEEE/ANSI notation standard.

- Does the Fig. 4 describe combinational or sequential logic?
- Which kind of system level structure the logic in Fig. 4 would have? Draw it!
- What does the logic do? Give the answer in a form of a functional requirement!
- Write the switching functions of the logic!
- How much memory capacity (ROM m x n) is needed to implement the switching functions of the question d)
- If the logic in Fig. 4 will be mapped to the CMOS technology how many semiconductor switches you estimate to be needed to implement the structure. (number +/- ten of the exact number is the correct answer)



Kuva 4 / Figure 4

