

Tentti: 4.11.2011

Nimi: _____
Opiskelijakortin numero: _____

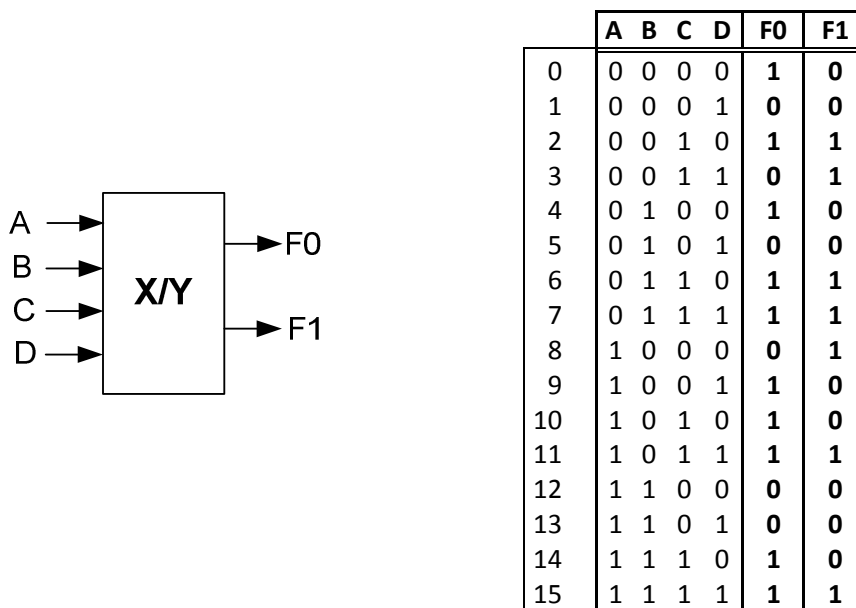
Tehtävä 1 / Assignment 1

Kuvassa 1 on kombinaatiologiikkalohkon X/Y-symboli ja sitä vastaava totuustaulukko.

- a) Laadi totuustaulukkoja vastaavat kaksi Karnaugh'n kartta (K-kartta)
- b) Kirjoita Boolean funktiot $F_0(A,B,C,D)$ ja $F_1(A,B,C,D)$ mahdollisimman monella eri tavalla
- c) Piirrä Boolean funktioita vastaavat logiikkakaaviot
- d) Kirjoita kaksi Boolean funktiota F_1 vastaavaa VHDL-mallia niin, että toisessa käytetään hyväksi totuustaulukkoa ja toinen on kirjoitettu ilman totuustaulukkoa.

In Fig. 1 is presented X/Y symbol of a combinational logic block and the related truth table.

- a) Draw the Karnaugh maps of the two truth tables
- b) Describe the Boolean functions $F_0(A,B,C,D)$ and $F_1(A,B,C,D)$ in as many different styles as possible
- c) Draw the logic diagrams of the Boolean functions
- d) Write two VHDL models of the Boolean function F_1 , one with and the other without the truth table description.



Kuva 1. Tehtävään 1 liittyvä kuva.
Fig 1. Assignment 1 related figure.

Tentti: 4.11.2011

 Nimi: _____
 Opiskelijakortin numero: _____

Tehtävä 2 / Assignment 2

Alla on esitetty kaksi VHDL-prosessia, jotka kuvaavat tilakoneen toimintaa.

- Piirrä VHDL-prosesseissa kuvattua toimintaa vastaava tilakaavio
- Piirrä kuvattua toimintaa vastaavan tilakoneen RTL-arkkitehtuuri.

You can find below two VHDL processes, which describe behavior of a state machine.

- Draw the state diagram of the function described in VHDL processes.
- Draw the RTL architecture of the state machine.

```

C2_State_machines_sync:process
(clk, reset,next_state_of_C2)is
begin
    if reset = '0' then
        state_of_C2 <= idle;
    elsif clk = '1' and clk'event
    then
        state_of_C2 <= next_state_of_C2;
    end if;
end process;
--
Pulse_Synchronization_State_Machine_C2:
process (clk,state_of_C2,button,delay_off)is
begin
case state_of_C2 is
    when idle =>
        if button = '1'
            then next_state_of_C2 <= enable_pulse;
            else next_state_of_C2 <= idle;
            end if;
        pulse <= '0';
        delay_on <= '0';
    when enable_pulse =>
        next_state_of_C2 <= waiting;
        pulse <= '1';
        delay_on<='0';
    when waiting =>
        if button = '0'
            then next_state_of_C2 <= extra_waiting;
            else next_state_of_C2 <= waiting;
            end if;
        pulse <= '0';
        delay_on <= '0';
    when extra_waiting =>
        if delay_off = '1'
            then next_state_of_C2 <= idle;
            else next_state_of_C2 <= extra_waiting;
            end if;
        pulse <= '0';
        delay_on <= '1';
    end case;
end process;
    
```

Tentti: 4.11.2011

Nimi: _____
Opiskelijakortin numero: _____

Tehtävä 3 / Assignment 3

Esitä binäärilukujen $x = 01110$ ja $y = 11110$

- yhteenlasku $z = x + y$, kun z , x ja y ovat etumerkittömiä binäärilukuja
- vähennyslasku $z = x - y$, kun z , x ja y ovat etumerkittömiä binäärilukuja
- yhteenlasku $z = x + y$, kun z , x ja y ovat binäärilukuja kahden komplementti -muodossa
- vähennyslasku $z = x - y$, kun z , x ja y ovat binäärilukuja kahden komplementti -muodossa
- kertolasku $z = x * y$, kun z , x ja y ovat etumerkittömiä binäärilukuja.
- mitä logiikkaportteja ja logiikkalohkoja kertolaskun toteuttamiseen tarvitaan?

Esitä vastauksessasi tarvittavat välivaiheet, joista selviää yksikäsitteisesti laskutoimituksen suoritus.

Present for binary numbers $x = 01110$ and $y = 11110$

- addition $z = x + y$, when z , x and y are unsigned binary numbers
- subtraction $z = x - y$, when z , x and y are unsigned binary numbers
- addition $z = x + y$, when z , x and y are two's complement binary numbers
- subtraction $z = x - y$, when z , x and y are two's complement binary numbers
- multiplication $z = x * y$, when z , x and y are unsigned binary numbers
- what logic gates and logic blocks are needed to implement binary multiplication?

Present in your answers all necessary steps to perform the arithmetic operations.

Tehtävä 4 / Assignment 4

Suunnittele logiikka-arkkitehtuuri, jota voi käyttää digitaalisessa reaaliaikakellossa (laitteessa, joka näyttää kellonajan) minuuttien esittämiseen. Noudata synkronisen logiikan suunnittelusääntöjä (kaikilla kiikuilla yhteinen kello-signaali, asynkronista reset-signaalia saa käyttää vain kytkettäessä käyttöjännite tai virhetilanteessa).

- kuinka monta D-kiikkua tarvitaan?
- missä muodossa kellonaika kannattaa oheisen kuvan kaltaisissa lohkoissa esittää, jos tarkoituksena on lopuksi näyttää se 7-segmenttinumeroilla?
- piirrä logiikkakaavio käyttäen mallina oheista logiikkalohkoa.
- määritä parametrit n ja m kaikille lohkoille.

Design a logic architecture, that can be used in a real time clock (a device for showing the time) for presenting minutes. Follow the principles of the design of synchronous logic (all flip-flops have a common clock signal, asynchronous reset can only be used in power-up reset or in malfunction).

- how many D-flip-flops are needed?
- in which format the time should be presented in the logic blocks shown below, if it is to be shown in a 7-segment display?
- draw a logic diagram using the following logic block as a model
- define the parameters n and m for all blocks.

